

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire

Ministère de l'Enseignement Supérieur
et de la Recherche Scientifique
Université Akli Mohand Oulhadj - Bouira -
Tasdawit Akli Muhend Ulhağ - Tubirett -



وزارة التعليم العالي والبحث العلمي
جامعة أكلي محمد أولحاج
- البويرة -

Faculté des Sciences et des Sciences Appliquées

كلية العلوم والعلوم التطبيقية

Référence :/MM/2022

المرجع :/م/ 2022

Mémoire de Master

Présenté au

Département : Génie Électrique

Domaine : Sciences et Technologies

Filière : Télécommunications

Spécialité : système des télécommunications

Réalisé par:

GAILI Imane

Et

SOUM Lilya

Thème

*Extraction des paramètres extrinsèque du circuit
équivalent petit signal des transistors MOS avancés*

Soutenu le: **15/09/2022**

Devant la commission composée de :

Mrs: KASMI Reda	M.C.A	Univ. Bouira	Président
DIB Riad	M.A.A	Univ. Bouira	Encadreur
MAAFRI Djabar	M.R.A	CDTA -Alger	Co-Encadreur
NOURINE Mourad	M.C.A	Univ. Bouira	Examineur

Remerciements

Nos remerciements en premier lieu à notre promoteur **DIB Riad** de nous avoir fait l'honneur d'assurer l'encadrement de notre travail et pour sa disponibilité, ses efforts, ses encouragements et ses conseils durant notre travail.

On tient à remercier vivement notre Co-promoteur **MAAFRI Djabar** maître de recherche au département de la microélectronique au CDTA d'Alger qui nous a permis d'effectuer notre stage dans les meilleures conditions ainsi que pour sa disponibilité et ses précieux conseils.

Merci également aux membres du jury pour l'honneur et l'amabilité d'avoir bien voulu accepter de juger ce travail, et aussi pour tous les enseignants de
Département génie électrique

Nos remerciements s'adressent à toutes les personnes qui ont contribué de près ou de loin à la réalisation de ce travail et qui nous ont encouragé et soutenu à tout moment en particulier nos familles.

A tous, pour tous, Merci

Dédicaces

Mes parents qui me sont les plus chers au monde, dont l'amour

Et

Les sacrifices n'ont pas cessé de combler ma vie

Que Dieu les protège et les garde pour moi

Mon frère et Mes sœurs

Et mon Mari aussi

Toute ma famille

Toute les amies durant mes années d'études

Tous ceux que me sont chers

Nous dédions ce travail.....

IMANE

Dédicaces

A mes chers parents, pour tous leurs sacrifices, leur amour, leur tendresse, leur soutien et leurs prières tout au long de mes études,

A mes chères sœurs houda et lamis pour leurs encouragements permanents, et leur soutien moral,

A mon cher frère Marwan pour son soutien et ses encouragements,

A toute ma famille pour leur soutien tout au long de mon parcours universitaire,
Que ce travail soit l'accomplissement de vos vœux tant allégués, et le fruit de votre soutien infailible,

Merci d'être toujours là pour moi.

LILYA

Table des Matières

Table des Matières

Table des Matières	I
Liste des Figures	III
Liste des Tableaux	V
Liste des Abréviations.....	VI

Introduction Générale	1
------------------------------	----------

Chapitre I : Transistors MOSFET
--

Introduction.....	2
I.1 Evolution de la technologie CMOS.....	2
I.2 Transistor MOSFET	3
I.2.1 Modèles petits signaux	5
I.3. Transistors MOSFET sur substrat massif (BULK)	6
I.3.1. Inconvénients du MOS BULK	7
I.4. Transistors MOSFET sur substrat SOI.....	7
I.5. Architectures des transistors MOSFET SOI.....	7
I.5.1. MOS SOI PD SOI	7
I.5.2. MOS SOI FD SOI.....	8
I.5.3 Transistor FINFET.....	9
I.5.4. Transistor UTBB FD-SOI	10
Conclusion	11

Chapitre II : Modélisation des transistors MOSFETs

Introduction.....	12
II .1. Modélisation RF des transistors MOSFETs.....	12
II .2. Schéma équivalent électrique petit-signal.....	13
II .2.1. Partie intrinsèque	14
II .2.2. Partie extrinsèque	15
II .2.3. Paramètre S	15

II .3.Méthodes d'extraction du circuit équivalent électrique petit signal du transistor MOSFET	16
II .3.1. Méthode de Lovelace	16
II .3.2.Méthode de Bracale.....	17
II .3.3.Méthode de Raskin	19
II .4.Performances RF des transistors MOS avancés	20
II.4.1.Facteur de performances RF (FoM)	20
II.4.1.1.Fréquence de transition f_T	20
II.4.1.2.Fréquence maximale d'oscillation f_{max}	21
Conclusion	21

Chapitre III : Résultats et discussion

Introduction.....	23
III.1 Procédure d'extractions des éléments du schéma équivalent petit signal.....	23
III.1.1 Schéma équivalent petit signal du transistor MOS avancés	23
III.1.1.1 Extraction des paramètres extrinsèques	23
III.1.1.2 Extraction des paramètres intrinsèque	28
III.2 Résultat de simulation du transistor MOS Avancés.....	29
Conclusion	32

Conclusion Générale	33
----------------------------	-----------

Bibliographie	34
----------------------	-----------

Liste des figures

CHAPITRE I : Transistors MOSFET

Figure I.1. Réduction d'échelle de la technologie CMOS, en accord avec la loi de Moore..... 3

Figure I. 2. Évolution de la technologie CMOS4

Figure I.3. Modèle petit-signal du transistor NMO6

Figure I.4. Structure d'un transistor (simple grille) SOI de type n7

Figure I.5. Structure d'un transistor nMOS SOI partiellement déserté8

Figure I.6. Schéma des structures transistors MOS. (a) Sur silicium massif, (b) sur FDSOI (*Fully Depleted Silicon-on-Insulator*)9

Figure I.7. Schéma de la structure simplifié du FinFET 10

Figure I.8. Transistor MOS en technologie UTBB FDSOI 11

CHAPITRE II : Modélisation des transistors MOSFETs

Figure II.1. Schéma équivalent à petit-signal du transistor MOSFET 14

Figure II.2. Représentation d'un transistor MOS en source commune, sous la forme d'un quadripôle...
..... 16

Figure II.3. Circuit équivalent petit signal à $V_{gs} \ll V_{th}$ et $V_{ds}=0V$ 17

Figure II.4. Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds}=0$ 18

Figure II.5. Circuit équivalent petit signal en régime des Saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} V_{th}$ 19

CHAPITRE III : Résultats et Discussions

Figure III.1. Courbe de la résistance de grille en fonction de la fréquence du transistor MOS avancés à $V_{ds}= 0 V$ et $V_{gs} = 0 V$ du transistor MOS Avancés. (a) avec longueur de grille $L_g = 25nm$, (b) avec longueur de grille $L_g = 30 nm$ 24

Figure III.2. Représentation paramétrique de résistance de source dans la gamme de fréquence [0 – 40GHz] à $V_{ds}=V_{gs}=0 V$ du transistor MOS Avancés. (a) avec longueur de grille $L_g = 25 nm$, (b) avec longueur de grille $L_g = 30 nm$ 25

Figure III.3. Représentation paramétrique de résistance de drain dans la gamme de fréquence [0 40GHz] à $V_{ds}=V_{gs}=0$ V du transistor MOS Avancés. (a) avec longueur de grille $L_g = 25$ nm, (b) avec longueur de grille $L_g = 30$ nm.	26
Figure III.4. Les valeurs des capacités extrinsèques en fonction de la fréquence du transistor MOS Avancés à $V_{ds}=0V$ et $V_{gs}=0V$ du transistor MOS Avancés. (a) avec longueur de grille $L_g = 25$ nm, (b) avec longueur de grille $L_g = 30$ nm.	27
Figure III.5. Les valeur des capacités intrinsèques en fonction de la fréquence du transistor MOS Avancés à $V_{ds}= 1.2$ V et $V_{gs}=0.95$ V, du transistor MOS avancés avec longueur de grille $L_g = 25$ nm. (a) capacité intrinsèque, (b) conductance.	28
Figure III.6. Le temps de retard en fonction de la fréquence à $V_{ds}= 1.2$ V et $V_{gs}=0.95$ V du transistor MOS avancés avec longueur de grille $L_g = 25$ nm.	29
Figure III.7. Circuit électrique équivalent petit-signal du transistor MOS avancés sous ADS.....	30
Figure III.8. Transistor S_{2P} sous ADS.....	30
Figure III.9. Paramètres-S mesurés (x) et simulés (ligne) du transistor MOS avancés avec $L_g= 25$ nm à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V. (a) S_{11} et S_{22} , (b) S_{12} et S_{22}	31
Figure III.10. Comparaison entre la partie réelle et imaginaire des paramètres Y du transistor MOS avancés avec $L_g= 30$ nm à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V. (a) Y_{11} , (b) Y_{12}	31
Figure III.11. Comparaison entre la partie réelle et imaginaire des paramètres Y du transistor MOS avancés avec $L_g= 30$ nm à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V. (a) Y_{21} , (b) Y_{22}	32

Liste des tableaux

Tableau I.1. Evolution, selon ITRS (*International Technology Roadmap For Semiconductors*), de l'oxyde de grille, de la longueur de grille et de fréquences de transitions d'un transistor pour les applications Micro-onde. 5

Tableau III.1. Valeurs des résistances extrinsèques extraites à $V_{ds} = V$ et différents V_{gs} pour MOS avancés avec $L_g = 25$ nm..... 26

Tableau III.2. Les valeurs extraites des éléments intrinsèques du circuit équivalent petit-signal du transistor MOS avancés avec longueur de grille $L_g = 25$ nm..... 29

Liste des abréviations

ADS: Advanced design System

BOX: Burried OXide.

CDTA: centre de développement des technologies avancées.

CMOS: Complementary Metal Oxide Semiconductor.

FD SOI: Fully Depleted SOI.

GaN: Gallium Nitride.

HEMT: High Electron Mobility.

MOS FET: Metal Oxid Semiconductor Field Effect Transistor.

UTBB: Ultra- Thin Body and Box

PD SOI: Partially Deserted SOI.

RF: Radio Frequency.

SOI: Silicon –On – Insulator.

TEC: Transistor à Effet de Champ.

V_{th}: threshold volta

Introduction générale

Introduction générale

Les communications sans fil évoluent à un rythme très rapide, les réseaux cellulaires sont de plus en plus adaptés à des nouvelles technologies développées pour fournir des services de plus en plus confortables et dépassant la voie traditionnelle.

Aujourd'hui, la filière CMOS et ses nouvelles architectures aminciées comme les MOSFET sur substrat SOI (Silicon-on-Insulator) se sont portés comme des candidats excellents dans le marché des télécommunications par rapport à ceux de la technologie Si (BULK). Le développement des techniques de lithographie et la réduction de la longueur de grille permettent l'évolution d'une façon directe des performances des transistors MOSFET avancés dans le domaine radio fréquence. En plus, MOS SOI ou avancés est considérée comme étant moins coûteuse de point de vue économique, très utilisée dans le domaine industriel et présente une faible consommation de puissance.

L'évolution de ces nouvelles architectures du transistor MOS ne peut pas se maintenir sans l'accompagner par d'autres investigations et travaux de modélisation. Pour cela, la modélisation radio fréquence de ces composants est une étape primordiale avant de passer à la conception et la fabrication des circuits.

D'autre part, les concepteurs de circuits intégrés ont besoin des modèles précis et robustes pour les aider à concevoir et à réaliser des circuits performants. En plus, la conception assistée par ordinateur (CAO) fait appel à ce genre de modèle pour des logiciels de conception.

C'est dans ce contexte que ce travail de Master se concentre sur la modélisation analytique directe des transistors susmentionnés. Le but portera sur l'extraction de la partie extrinsèque (parasites) du schéma équivalent petit signal du transistor MOS avancés utilisant des techniques d'extraction et de modélisation faible. Pour cela, nous avons organisé ce mémoire sur des chapitres suivants :

Le premier chapitre présente MOSFET et leurs architectures en précisant l'avantages des nouvelles générations implémentées sur le substrat SOI par rapport aux transistors MOS classiques (BULK).

Le chapitre deuxième sera consacré à l'exposition des différentes approches de modélisation et d'extraction radiofréquences des paramètres d'un circuit équivalent petit signal. Nous nous intéressons à la modélisation analytique directe, puis nous exposons les différentes méthodes existantes.

Enfin, le dernier chapitre sera dédié aux résultats obtenus utilisant les techniques d'extraction exposés en chapitres 2. Puis, vient l'étape de comparaison entre les mesures et simulation basée sur les paramètres extraits, et ce, afin d'évaluer d'une façon objective l'approche utilisée.

On termine notre travail par une conclusion générale.

Chapitre I

Transistors MOS FET

Introduction

Le MOSFET est la plus grande invention technique de l'ère moderne, considérée comme le dispositif de base des circuits modernes, tels que les cartes mémoire et les microprocesseurs. Son utilisation ne cesse d'augmenter depuis deux générations.

Au cours de l'évolution de MOSFET, des nouvelles structures ont vu le jour qui sont basés sur la technologie MOS totalement déserté FD SOI (Fully Depleted Silicon- on Insulator), cite-on, entre autre, Le MOSFET SOI Partiellement déserté PD SOI (Partielly Depleted Silicon-on-Insulator) sur lequel on va mener notre expérience et qui est aujourd'hui le dispositif principale dans les applications radiofréquences.

La réalisation d'un transistor MOS se complexifie et nécessite l'introduction d'un nombre croissant d'innovations technologiques et d'étapes de fabrication. Toutes ces étapes et complications augmentent donc le coût et la durée de mise au point des nouvelles générations de technologie CMOS et limitent leurs performance [1].

Dans ce chapitre nous allons présenter les transistors MOSFET sur substrat massif et sur substrat SOI (silicon -on-Insulator) et aussi l'architecture des transistors MOSFET SOI.

I.1. Evolution de la technologie CMOS

La technologie CMOS a été inventée en 1963 par Frank. Le CMOS est une combinaison de MOSFET de type N et de type P (Metal-Oxyde-Semiconductor Field-Effect Transistor). La technologie CMOS est utilisée pour la construction des circuits intégrés, des microprocesseurs, des microcontrôleurs, des capteurs, de la RAM. GORDONS Moore a observé que le nombre de transistors double tous les 18 mois dans un circuit intégré [2]. L'électronique moderne exige des appareils de plus en plus rapides. Cela peut être réalisé en faisant évoluer la technologie CMOS d'une fraction de millimètres à quelques nanomètres dans les technologies actuelles [3]. Depuis quelques années, la technologie non planaire 3D (FINFET) par les industries. Cela facilite la fabrication de circuits intégrés, de processeurs et d'autres appareils électroniques à grande vitesse.

Les scientifiques font une très forte réduction de la taille du CMOS à 7 nm dans les futures technologies CMOS [4]. Les innovations de nouvelles technologies sont très importantes pour la réduction de la taille des circuits intégrés CMOS [6]. Comme la réduction de la taille du CMOS après chaque décennie est difficile et nous devons faire face à certains problèmes lorsque la réduction de la taille du CMOS dépasse une certaine limite.

En 1973, G. Moore, avait observé que le nombre de transistors intégrés doublait tous les 18 mois sur une même puce. Cette observation lui donner une intention de prédire que le nombre de

transistors intégrés sur une puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes. En 1975, Moore réévalua sa prédiction en posant que le nombre de transistors des microprocesseurs (et non plus de simples circuits intégrés moins complexes) sur une puce de silicium double tous les deux ans². Bien qu'il ne s'agisse pas d'une loi physique mais seulement d'une extrapolation empirique, cette prédiction s'est révélée étonnamment exacte. Entre 1971 et 2001, la densité des transistors a doublé chaque 1,96 année. En conséquence, les machines électroniques sont devenues de plus en plus petites et de moins en moins coûteuses tout en devenant de plus en plus rapides et puissantes [3].

La véracité de sa prédiction durant ces 30 dernières années a été telle que l'on s'y réfère maintenant en tant que « Loi de Moore ». La figure I.1 illustre la validité de cette prévision. Aujourd'hui, des circuits intégrés (IC) comprenant plus d'un milliard de transistors sont produits de façon industrielle.

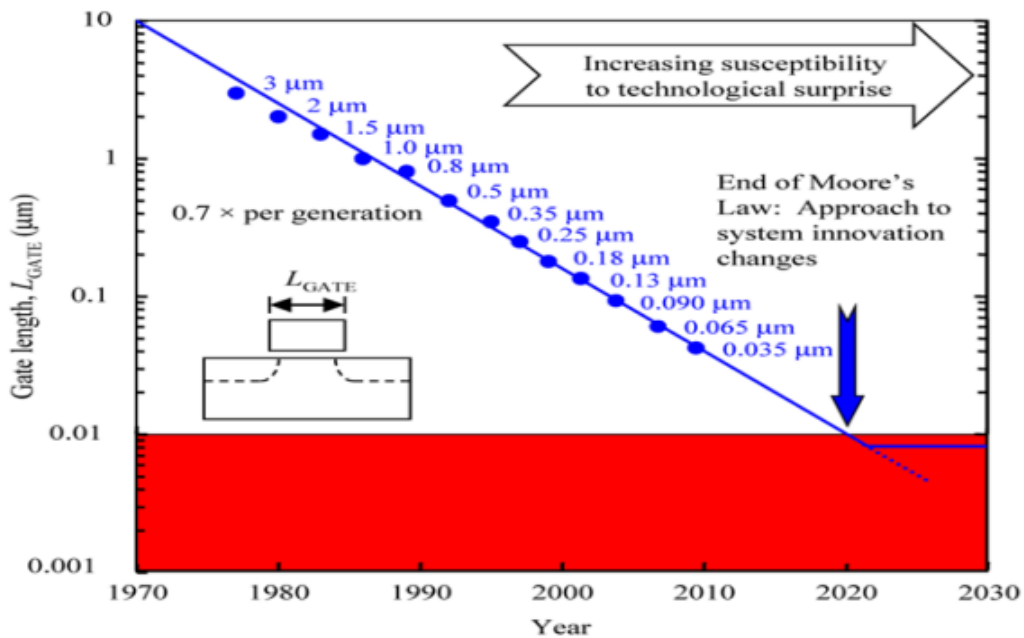


Figure I.1 Réduction d'échelle de la technologie CMOS, en accord avec la loi de Moore [3].

I.2. Transistor MOSFET

L'importance d'utilisation de la technologie CMOS en haut fréquence est apparue récemment, contrairement au domaine numérique où le MOSFET possède une position dominante. L'activité radio fréquence des transistors MOSFET est en lien direct avec la réduction de la longueur de grille, le développement des techniques de lithographie et le développement des performances RF comme la fréquence de coupure et la fréquence maximum d'oscillation [2].

L'intérêt d'utilisation du transistor MOS dans le domaine radio fréquence repose

essentiellement sur :

- ✓ Présente une faible tension de polarisation ce qui donne une faible consommation de puissance
- ✓ C'est une technologie peu couteuse par rapport aux technologies III-V. Elle est très mature d'un point de vue industriel.
- ✓ La quasi-totalité des circuits numérique sont à base de transistor MOS.
- ✓ Présent une excellente densité d'intégration.

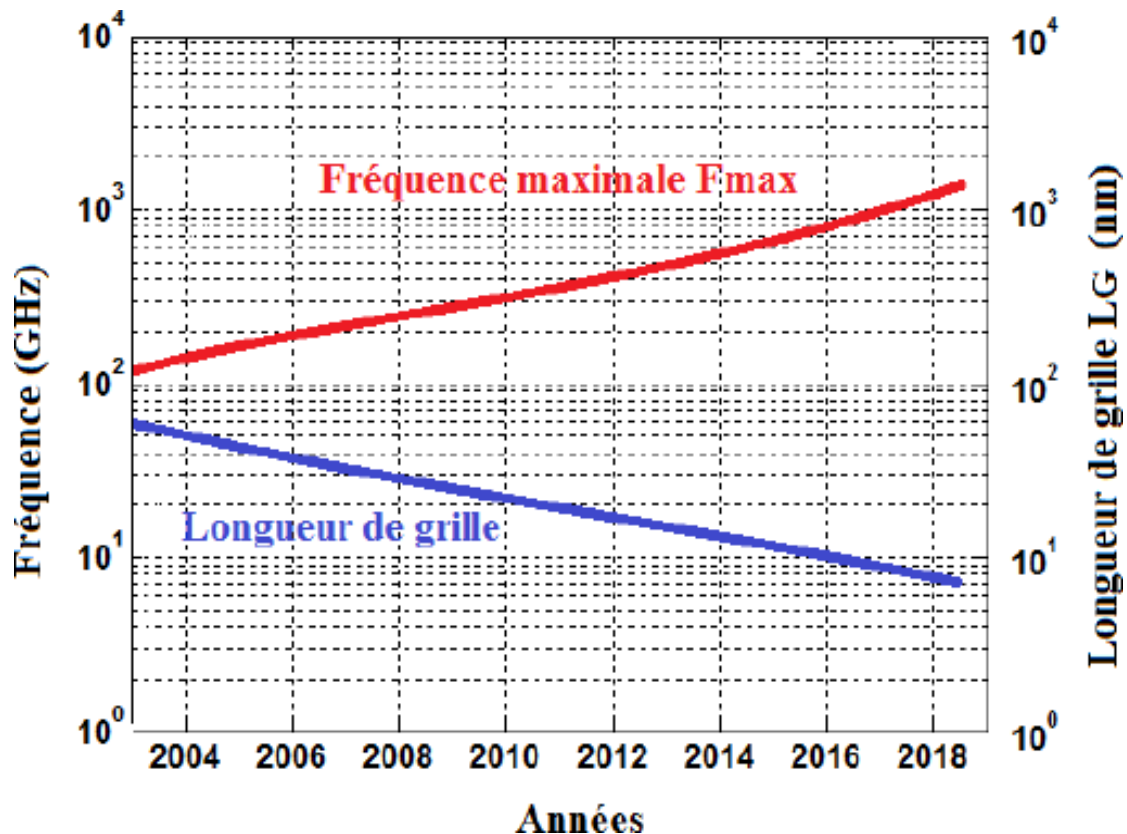


Figure I. 2. Évolution de la technologie CMOS [2].

Les points susmentionnés ont poussé les chercheurs à évoluer cette technologie dans le domaine haute fréquence. Pour cela, le MOSFET est considéré le candidat idéal pour toutes les applications où la faible consommation.

Les facteurs de mérite radiofréquence des transistors MOSFET à savoir les fréquences caractéristiques (fréquence transitoire f_T et fréquence maximale f_{max}), atteignent valeurs très encourageante que l'on peut réaliser des circuits analogiques fonctionnant dans la bande millimétrique c'est-à-dire peuvent aller jusqu'à 300 GHz. Le Tableau 1.1 résume les performances du transistor MOS en termes de f_T , f_{max} en fonction des dimensions à savoir la longueur de grille L_g

et l'épaisseur de l'oxyde tox [1].

Tableau I.1 Evolution, selon ITRS (*International Technology Roadmap For Semiconductors*), de l'oxyde de grille, de la longueur de grille et de fréquences de transitions d'un transistor pour les applications Micro-onde.

Année	2006	2008	2010	2012	2014	2016	2018	2020
Epaisseur d'oxyde de grille (nm)	2.1	1.9	1.5	1.4	1.2	1.1	1.0	0.9
Longueur de grille (nm)	65	45	32	25	20	16	13	11
Fréquence de transition (GHz)	140	220	280	360	440	550	670	790
Fréquence d'oscillation (GHz)	220	310	420	530	650	790	950	1110

I.2.1. Modèles petits signaux

Nous utiliserons la convention suivante pour distinguer les tensions et les courants instantanés, continus et variables :

$$v_{GS} = V_{GS} + V_{gs} \quad (\text{I.1})$$

V_{GS} : composante continu.

V_{gs} : composante petit signal.

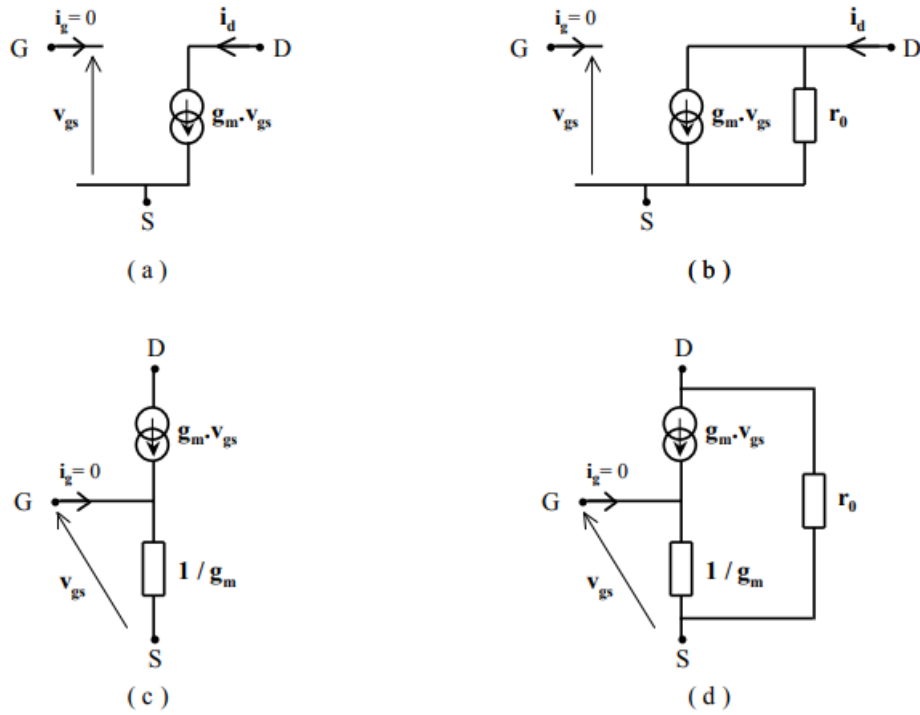


Figure I.3. Modèle petit-signal du transistor NMOS.

La figure I.1 rappelle les différents modèles petits signaux du NMOS en basse fréquence. Ces modèles ne s'appliquent que pour une polarisation en régime saturé. La figure I.1 (a) est le modèle en π . Le modèle en figure I.1 (b) incluant la résistance de sortie r_0 . Le modèle en architecture T est représenté en figure I.1 (c) rarement utilisé comme un circuit équivalent, mais il permet de simplifier certain calculs. La figure I.1 (d) c'est l'architecture en T avec une résistance de sortie r_0 .

I.3. Transistors MOSFET sur substrat massif (BULK)

Le Transistor à Effet de Champ à Métal Oxyde Semi-conducteur à substrat massif (MOS FET bulk Metal Oxyde Semi-conducteur Field Effect Transistor bulk) a sa grille isolée du canal par une couche de dioxyde de silicium (SiO_2).

Comme est représentée sur la figure I.3, le transistor MOS bulk possède 4 électrodes : la Source (S): point de départ des porteurs, le Drain (D): point de collecte des porteurs, la Grille (Gate) G et le Substrat (Body) B. Ce sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal. L'intensité du courant circulant entre la source et le drain (I_{dS}) est commandée par la tension de la grille (V_{gs}). Très souvent les électrodes de source et du substrat sont électriquement reliées [4].

I.3.1. Inconvénients du MOS BULK

MOSFET BULK correspondent à la capacité d'une jonction polarisé en inverse, ne sont en réalité pour le SOI qu'une capacité d'oxyde (i.e. la capacité d'oxyde enterré C_{Box}) qui est quatre voire sept fois inférieur a la capacité de la jonction obtenu su le silicium massif.

I.4. Transistors MOSFET sur substrat SOI

Le transistor MOS SOI est réalisé sur un substrat SOI (figure I.1). ce substrat est constitué d'un film de silicium superficiel reposant sur une couche d'oxyde dite oxyde enterré BOX (Burried Oxide) [4].

Le transistor SOI, de fait de son isolation électrique, est le siège d'effets dit de substrat flottant, le body sous l'influences de différents mécanismes physique pouvant apparaitre dans le transistor et des signaux électriques qui lui sont appliqué [4].

I.5. Architectures des transistors MOSFET SOI

La technologie SOI possède une couche isolante oxyde enterré BOX sur le substrat physique, ce qui lui permet d'apporter une solution en terme de compromis performance /consommation de puissance. Les transistors MOS SOI peuvent fonctionner à des tensions très basses, et les capacités parasites du transistor MOS SOI sont considérablement réduites [5].

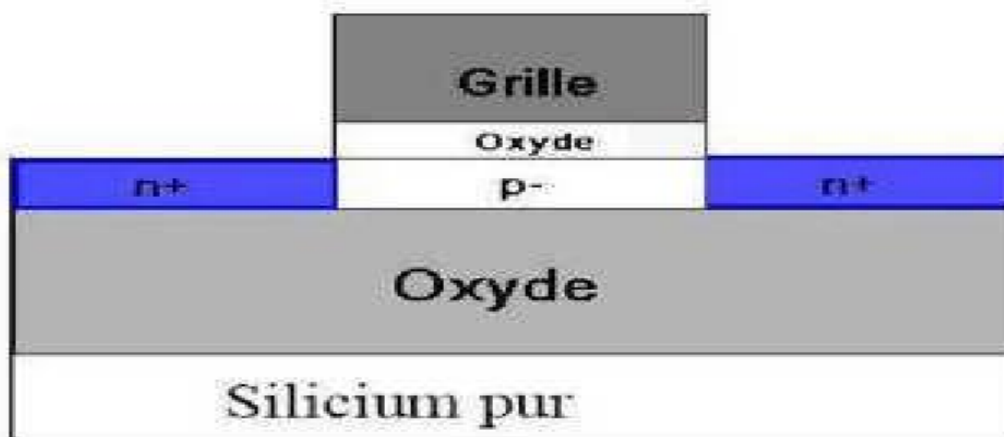


Figure I.4. Structure d'un transistor (simple grille) SOI de type n [4].

I.5.1. MOS SOI PD SOI

Le MOSFET SOI partiellement déserté (PD) permet de réduire les capacités parasites ce qui améliore les performances en haute fréquence.

Le transistor SOI est caractérisé par l'épaisseur de la zone déserté du film de silicium, qui est décrite par la relation :

$$d_{max} = \sqrt{\frac{4 \times \epsilon_{Si} \times \Phi_F}{q \times N_a}} \quad (I.2)$$

Où Φ_F est le potentiel de Fermi du silicium, ϵ_{Si} est la permittivité et N_a est le dopage en ions accepteurs du film de silicium. Le transistor partiellement déserté tient son nom du fait que l'épaisseur du film de silicium est plus importante que d_{max} , les propriétés électriques de transistor sont présentées dans la figure I.2.

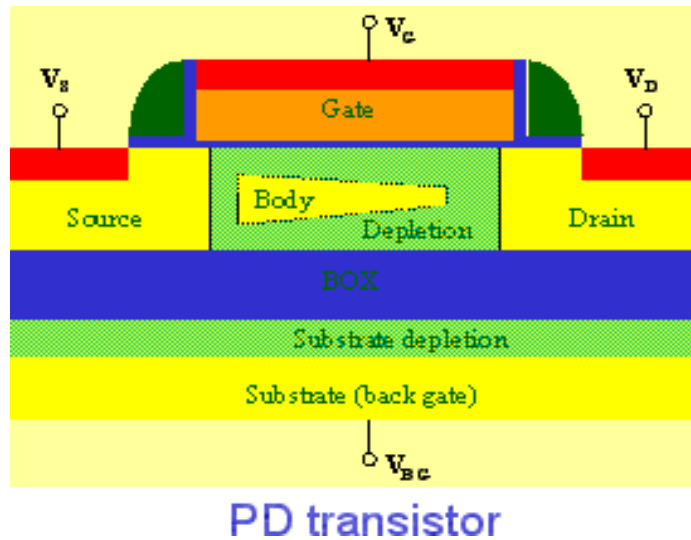


Figure I.5. Structure d'un transistor MOS SOI partiellement déserté [2].

Le film actif de silicium présente une zone interne neutre, située entre la zone de désertion et la couche d'oxyde enterré, qui empêche toute interaction entre les faces avant et arrière du transistor et permette d'immuniser le transistor contre les radiations.

Toutefois, le transistor PD-SOI ne permet pas le contrôle du potentiel dans tout le film. En plus des effets canal court SCEs, le transistor PD-SOI est soumis aux effets de substrat flottant qui dégradent le fonctionnement du transistor. Nous soulignons aussi le fait que l'effet KINK qui est l'un des principaux effets du substrat flottant et déclenché par l'accumulation de charges produites par ionisation par impact dans le film de silicium. Cet effet se traduit dans les transistors SOI partiellement déplétés par une augmentation du courant de drain et par du bruit électrique en saturation [6].

I.5.2. MOS SOI FD SOI

A l'inverse de la technologie CMOS PD-SOI, dans la technologie CMOS FD-SOI, la zone de déplétion couvre la totalité de la de silicium active. Ce qui donne plus d'avantages aux dispositifs FD-SOI "par rapport à ceux de PD-SOI, parmi lesquels l'absence d'effet kink due à l'absence de la zone neutre (Body) En plus, les dispositifs FD-SOI possèdent une pente sous seuil améliorée de l'ordre de

65 à 70 mV/décade, qui est proche de celle du transistor MOS idéal (60 mV/décade), et ce, contrairement à la valeur des dispositifs PD-SOI qui est autour de 85 à 90 mV/décade. Le FD-SOI fonctionne plus rapidement que le PD-SOI voir l'équation (I.2), où S représente la pente sous seuil considéré comme un paramètre capital pour l'optimisation du rapport entre courant de fuite et de saturation [2].

$$S = \frac{\delta V_{gs}}{\delta \log I_{ds}} \quad (\text{I.3})$$

Néanmoins il existe encore des problèmes au niveau technologique, à savoir la maîtrise de procédé de fabrication et le coût des plaques. En plus, l'auto échauffement, qui se traduit par la présence d'un BOX ayant une conductivité thermique 100 fois plus faible que celle du silicium, cela empêche l'évacuation de la chaleur (due au fonctionnement des transistors) vers le substrat. Une autre architecture du transistor MOS en technologie planaire FD-SOI avec un film de silicium si très mince pour donner plus performance.

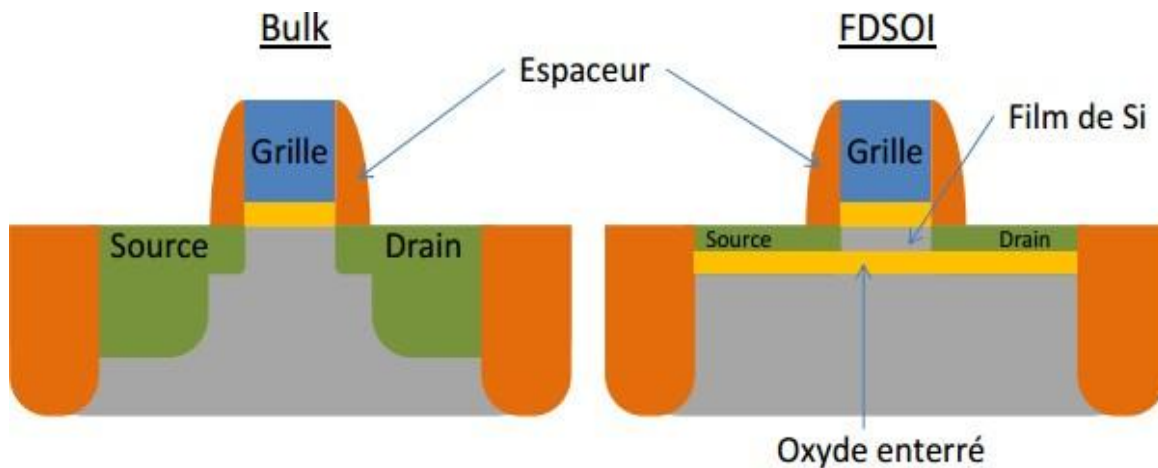


Figure I.6. Schéma des structures transistors MOS. (a) Sur silicium massif, (b) sur FDSOI (*Fully Depleted Silicon-on-Insulator*) [2].

I.5.3. Transistor FinFET

Un transistor à effet de champ à ailettes en anglais FinFET (Fin Field-Effect Transistor) est un dispositif à plusieurs grilles. Le FinFET est un transistor MOSFET construit sur un substrat où la grille est placée sur deux, trois ou quatre côtés du canal, comme on forme une structure à double grille. Le nom FinFET est tiré du fait que la région source/drain forme des ailettes en anglais (Fins) sur la surface du silicium.

Les transistors FinFET ont des temps de commutation significativement plus rapides et des densités de courant plus élevées que ceux de technologie CMOS (*Complementary Metal-Oxide-Semiconductor*) planaire.

Le transistor FinFET est ainsi considéré comme une meilleure structure dans l'amélioration de l'intégrité électrostatique, la vitesse, la réalisation d'un courant très élevé, un DIBL réduit et un excellent sous seuil (60mV/décade) [2].

Le FinFET est un type de transistor non planaire, transistor 3D. Il est à la base de la fabrication des dispositifs à semi-conducteurs modernes nanoélectroniques. Les puces utilisant des transistors FinFET ont été commercialisées dans la première moitié des années 2010, et sont devenues le type de conception de grille le plus répandu pour les procédés de fabrication à 14 nm, 10 nm et 7 nm.

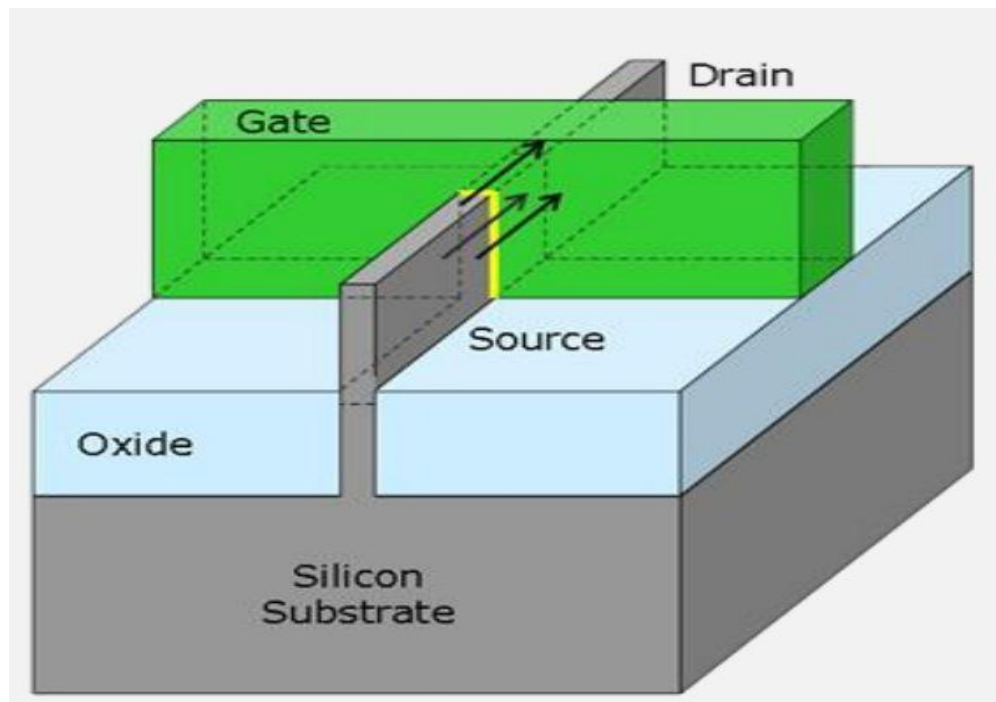


Figure I.7. Schéma de la structure simplifié du FinFET [2]

I.5.4. Transistor UTBB FD-SOI

Les transistors UTBB-SOI sont des transistors avec une couche ultra-mince de film de silicium si et d'oxyde enterré BOX (Figure I. 4). Ce type de transistor est largement reconnu comme un candidat promoteur pour des nœuds technologiques inférieur à 20nm. Grâce à son excellent contrôle électrostatique et l'amélioration des effets canal-court, l'introduction d'une couche fortement dopée au-dessous de l'oxyde enterré vise à la suppression du couplage du substrat et ouvre la voie à une multiple tension de seuil V_{th} .

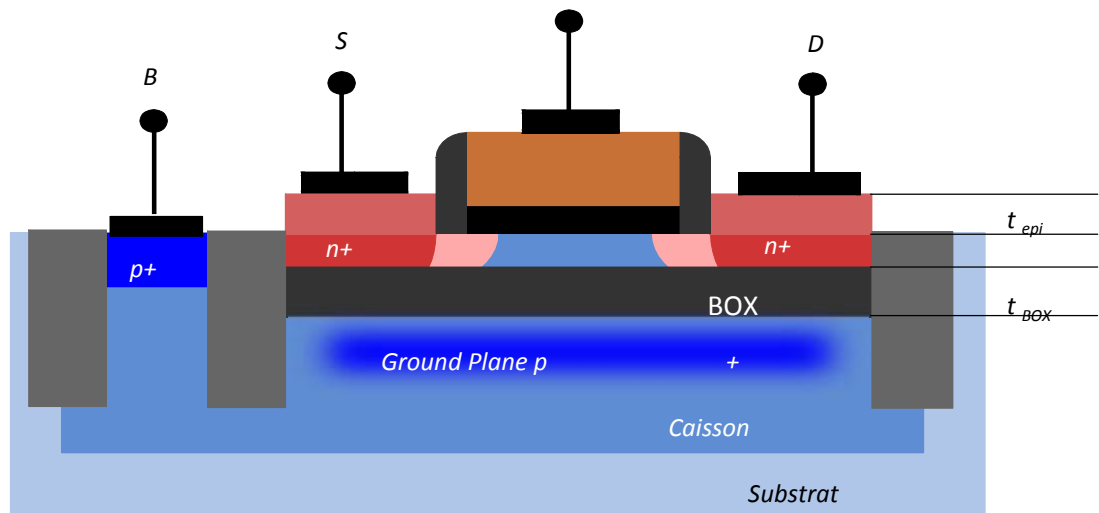


Figure I.8. Transistor MOS en technologie UTBB FDSOI [7].

Conclusion

Dans ce chapitre nous avons discuté les transistors MOS FET sur deux différents types de substrat massif et SOI. On s'est basé par la suite sur les transistors MOSFET SOI et leurs architectures.

Chapitre II

Modélisation des

transistors MOSFET

Introduction

Avec la croissance rapide du marché des communications sans fil par radiofréquence (RF), les concepteurs RF ont commencé à explorer l'utilisation du MOSFET dans les circuits RF. Les MOSFET sont les transistors les plus largement utilisés dans la microélectronique actuelle. Principalement utilisé pour la conception de circuits numériques, son faible coût et ses performances en font un composant de plus en plus attractif pour les applications RF. Pour ces raisons, une nouvelle génération de dispositifs à semi-conducteurs a émergé sur la scène des amplificateurs de puissance. Des modèles RF MOSFET précis et efficaces sont nécessaires. De nombreux concepteurs de circuits micro-ondes utilisent une approche de consultation de table basée sur des mesures. Cependant, cette approche nécessite une grande base de données obtenue à partir de nombreuses mesures de dispositifs et devient d'une complexité prohibitive lorsqu'elle est utilisée pour simuler des circuits RF CMOS hautement intégrés.

Dans ce chapitre, nous allons décrire la méthodologie d'extraction des éléments d'un schéma équivalent petit signal en haute fréquence utilisant la modélisation phénoménologique et plus particulièrement la modélisation analytique direct.

De plus, nous introduirons quelques techniques d'extraction des valeurs des éléments qui composent un modèle électrique équivalent.

De plus, nous décrivons la procédure d'extraction directe à partir des mesures des composants du circuit équivalent à petit signal en radiofréquence.

La méthodologie de performances RF des transistors MOS avancés d'extraction de paramètres proposée est qu'elle reste cohérente avec les modèles MOSFET compacts standard existants.

II.1. Modélisation RF des transistors MOSFETs

Les MOSFET sont aujourd'hui les transistors les plus utilisés en microélectronique. Il est principalement utilisé dans la conception de circuits numériques, mais son faible coût et ses performances en font un composant de plus en plus attractif pour les applications RF.

La modélisation des éléments d'un circuit intégré est l'une des méthodologies permettant de limiter le temps et le coût des étapes de fabrication intermédiaires coûteuses des matériaux pour vérifier leur comportement [8].

L'objectif est de modéliser le transistor MOSFET dans le domaine des radiofréquences et de développer un modèle mathématiquement équivalent pour chaque dispositif qui le reproduise et permette de prédire son comportement électrique qui passe par différentes étapes Il est destiné à reproduire les phénomènes physiques et électriques qui caractérisent ce type de composant [9].

Dans notre cas, nous avons choisi une modélisation empirique ou phénoménologique basée sur les données existantes, les caractéristiques DC et basse fréquence [2].

Pour obtenir correctement les éléments intrinsèques et extrinsèques du schéma équivalent, une méthode d'extraction entièrement analytique basée sur les propriétés statiques Tension d'émission. La philosophie de cette méthode est de placer les transistors Dans certaines conditions de polarisation pour simplifier le calcul. Cela vous permet de déterminer les éléments de la partie extrinsèque dans la première étape. Les éléments de la partie unique sont ensuite dérivés analytiquement par diverses fonctions mathématiques [1].

- La modélisation phénoménologique est une approche purement empirique. Elle repose sur la présentation d'effets mesurables et observables, quelle que soit leur nature Ce type de modélisation comprend des modèles avec des circuits électriques équivalents contenant des éléments linéaires et non linéaires [9].

Ces derniers doivent être décrits par des d formules mathématiques relativement simples pour ne pas alourdir la convergence et le temps de calcul du simulateur. Ce modèle ne prend pas en compte l'évolution de chaque élément physique en fonction des dimensions du composant. D'autre part, Il est très difficile d'incorporer l'effet de la température sur des éléments modélisés empiriquement Enfin, l'extraction peut nécessiter une procédure d'optimisation. Cette procédure peut entraîner un ensemble différent de valeurs de paramètres ou de valeurs non physiques pour le même composant [2].

II.2. Schéma équivalent électrique petit-signal

Nous nous sommes appuyés sur le schéma d'équivalence de petit signal, largement utilisé dans la littérature et hérité de la culture des transistors FET. Cela est dû à la topologie de la masse de la source et à l'approche non quasi statique du potentiel zéro de la carte (connectée à la source). Les différents éléments électriques qui composent le schéma équivalent représentent différentes parties du transistor et leurs mécanismes physiques.

De point de vu fonctionnement ce schéma équivalent doit reflète le comportement physique du transistor MOSFET, D'après sa structure et son fonctionnement physique, le transistor (sans boîtier) est divisé en deux parties : sa partie intrinsèque et sa partie extrinsèque. La partie intrinsèques correspond à la partie ou l'effet transistor se produit c'est partie active du transistor (canal) les éléments à l'intérieur du rectangle en pointillé de la figure. II.1.

Par contre, la partie extrinsèque représente les éléments parasites des zones d'accès entre la partie active et les contacts métalliques connectant le transistor aux restes de circuit.

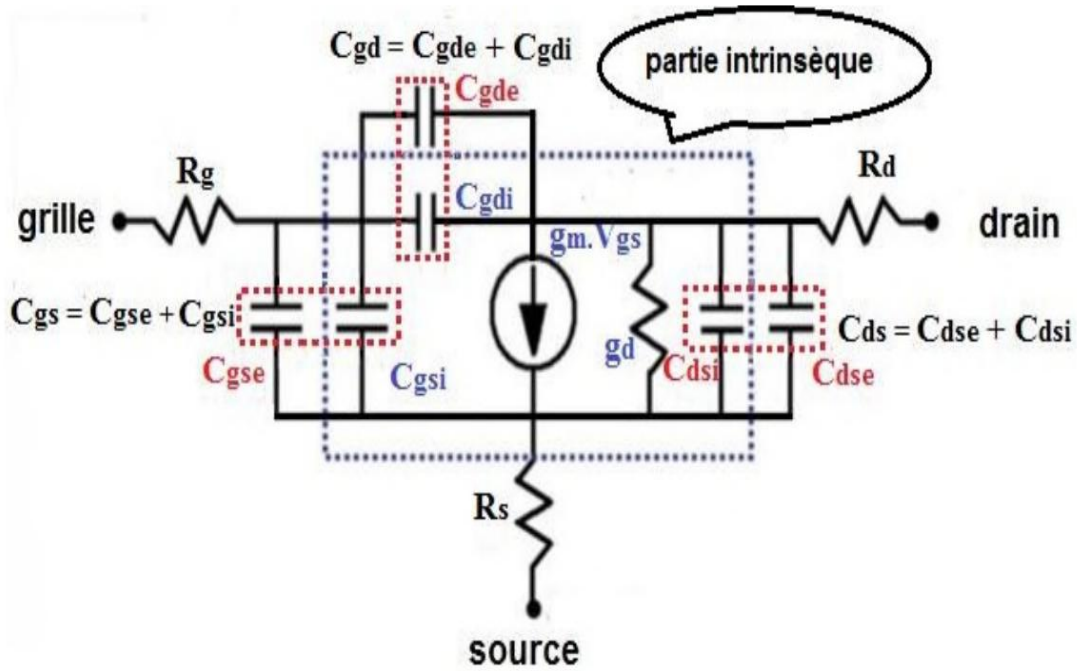


Figure II.1. Schéma équivalent à petit-signal du transistor MOSFET [2]

II.2.1. Partie intrinsèque

La partie intrinsèque correspond à la zone active sous la grille où se produit l'effet transistor, c'est-à-dire le canal. Tous les éléments de cette partie sont supposés être indépendants des conditions de polarisation, à l'exception de la conductance du transistor. L'intérieur du transistor est extrait lorsqu'il est polarisé [10].

Le mécanisme d'amplification est traduit par une transconductance gm définie par :

$$g_m = \frac{\delta q \cdot I_{ds}(V_{gs}, V_{ds})}{\delta V_{gs}} V_{ds} = C_{cste} \tag{II.1}$$

Étant donné que les transistors MOSFET ne sont pas des sources de courant idéales, la conductivité de sortie est ajoutée au modèle. Défini par:

$$g_d = \frac{\delta q \cdot I_{ds}(V_{gs}, V_{ds})}{\delta V_{gs}} V_{ds} = C_{cste} \tag{II.2}$$

Dans les équations ((II.1)) et ((II.2)), Le paramètre Ids représente le courant circulant entre drain et source et dépend de Vgs et Vds. La capacité Cdsi correspond à la capacité série des jonctions de source et de drain. Il est défini par les relations suivantes :

$$C_{dsi} = \frac{\delta Q_d(V_{gs}, V_{ds})}{\delta V_{ds}} V_{gs} = C_{cste} \tag{II.3}$$

Q_d est la charge accumulée sous l'électrode de drain. Les capacités C_{gsi} et C_{gdi} représentent la répartition de la charge de grille Q_g entre la source et le drain sous l'effet des tensions V_{gs} et V_{gd} . Elles sont définies par :

$$C_{gsi} = \frac{\delta Q_g(V_{gs}, V_{ds})}{\delta V_{gs}} V_{ds} = C_{cste} \quad (II.4)$$

$$C_{gdi} = \frac{\delta Q_{ds}(V_{gs}, V_{ds})}{\delta V_{ds}} V_{gs} = C_{cste} \quad (II.5)$$

Les effets non quasi-statiques sont pris en compte par les résistances R_i et par la constante τ , introduisant un retard entre l'application de la tension de commande V_{gs} et son effet sur le courant I_{ds} .

II .2.2. Partie extrinsèque

La partie extrinsèque représente les éléments à l'extérieur du rectangle en pointillé du schéma de la figure II.2 et est la partie parasite du transistor. Cette dernière qui relie la zone active du composant avec les métallisations [11]. Ses éléments sont :

- Les résistances

Les résistances R_{se} et R_{de} traduisent l'effet de la résistivité des caissons fortement dopés et des contacts ohmiques de source et de drain, respectivement. Alors que R_{ge} représente la résistance du contact de grille.

Il est important de noter que R_{se} et R_{de} sont inversement proportionnels à la largeur du transistor, alors que R_{ge} est proportionnelle à la largeur totale.

- Les éléments parasites d'accès
 - Les inductances de grille (L_g), de source (L_s) et de drain (L_d) matérialisent les inductances parasites et elles sont liées aux connexions du transistor avec le reste du circuit sont généralement négligeables lorsque il s'agit des transistors des nœuds avancés.
 - Les capacités C_{gse} , C_{gde} et C_{dse} sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat elles ne dépendent que de la largeur du transistor.

II.2.3. Paramètres S

Un transistor est généralement représenté comme un quadripôle avec des ports d'entrée et de sortie où le courant et la tension sont définis.

Le port 1 est connecté à la grille et le port 2 est connecté au drain. La Figure. II.2. montre un schéma d'un transistor MOS en représentation quadripolaire source [11].

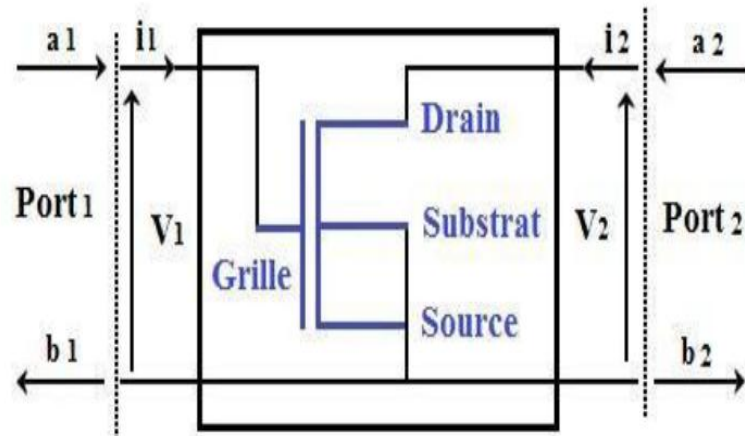


Figure II.2. Représentation d'un transistor MOS en source commune, sous la forme d'un quadripôle [11]

Les équations reliant les ondes émergentes et aux ondes incidentes a_1 et s'écrivent de la façon suivante :

$$b_1 = S_{11} * a_1 + S_{12} * a_2 \quad (\text{II.6})$$

$$b_2 = S_{21} * a_1 + S_{22} * a_2 \quad (\text{II.7})$$

Quand la sortie est adaptée ce qui signifie que $a_2=0$ alors:

$S_{11}=b_1/a_1$: Coefficient de réflexion à l'entrée quand la sortie est adaptée.

$S_{21}=b_2/a_1$: Coefficient de transmission direct quand la sortie est adaptée.

Et quand l'entrée est adaptée ce qui signifie que $a_1=0$ alors:

$S_{22}=b_2/a_2$: Représente le coefficient de réflexion à la sortie quand l'entrée est adaptée.

$S_{12}=b_1/a_2$: Représente le coefficient de transmission inverse quand l'entrée est adaptée.

Les paramètres S nous ont permis à calculer simplement les grandeurs les plus communément recherchées : puissance, gain ou atténuation, facteur de réflexion sur un accès, impédance d'entrée.

Z_0 : Représente l'impédance de référence

R_c : la résistance du canal

II.3. Méthodes d'extraction du circuit équivalent électrique petit signal du transistor MOSFET

II.3.1. Méthode de Lovelace

Dans cette méthode le transistor MOSFET est polarisé en déplétion c'est-à-dire $V_{gs} \ll V_{th}$ et $V_{ds} = 0$ V. Dans ces conditions, les éléments intrinsèques disparaissent. Ainsi, le transistor peut être

représenté par un circuit équivalent simplifié tel que montré à la figure II.3. A partir du circuit de la figure II.2, la partie réelle des impédances est:

$$(Z_{11}-Z_{12}) = R_{ge} \tag{II.8}$$

$$(Z_{12}) = (Z_{21}) = R_{se} \tag{II.9}$$

$$(Z_{22}-Z_{12}) = R_{de} \tag{II.10}$$

La Partie imaginaire des impédances Z , quant à elle, suit les relations suivantes:

$$(Z_{11}-Z_{12}) = \omega^2 L_{ge} + C_A \tag{II.11}$$

$$(Z_{12}) = (Z_{21}) = \omega^2 L_{se} + C_B \tag{II.12}$$

$$(Z_{22} - Z_{12}) = \omega^2 L_{de} + C_C \tag{II.13}$$

C_A , C_B et C_C sont des valeurs qui dépendent des capacités extrinsèques C_{gse} , C_{gde} et C_{dse} le tracé de la partie imaginaire multipliée par ω en fonction de ω^2 donne une fonction linéaire, où les pentes de chaque courbe correspondent aux inductances série respectives [12], [2].

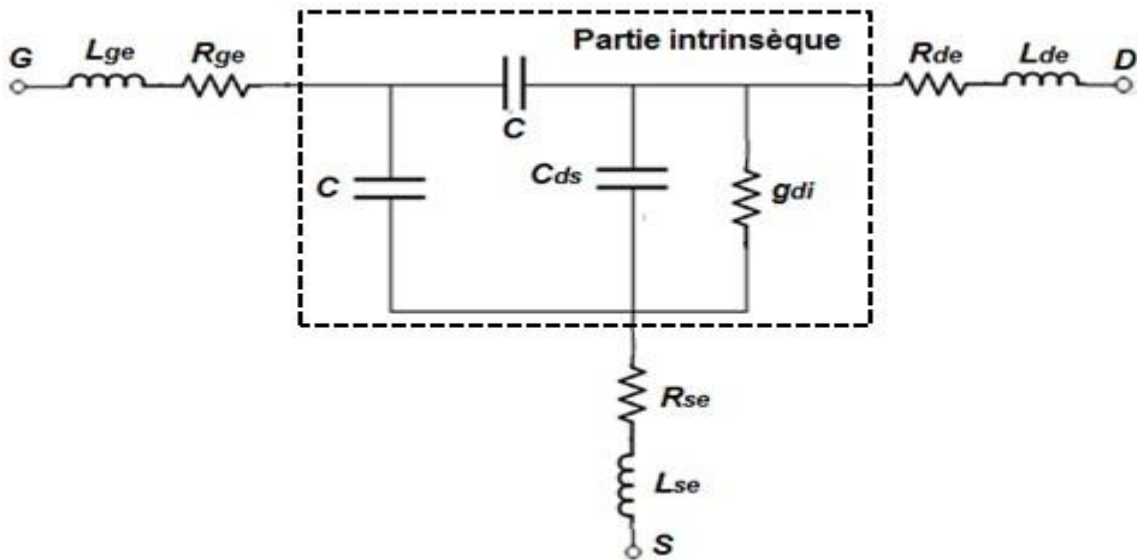


Figure II.3. Circuit équivalent petit signal à $V_{gs} \ll V_{th}$ et $V_{ds} = 0V$ [12]

II.3.2. Méthode de Bracale

Dans cette méthode, le transistor MOS est polarisé en inversion c'est-à-dire à $V_{gs} > V_{th}$, $V_{ds} = 0$. Dans ces conditions, la transconductance intrinsèque disparaît. En outre, à $V_{ds} = 0V$ le transistor

devient symétrique, ce qui implique que $C_{gs} = C_{gd} = C$. Ainsi le transistor peut être représenté par le circuit équivalent simplifié de la figure II.4 [13], [2].

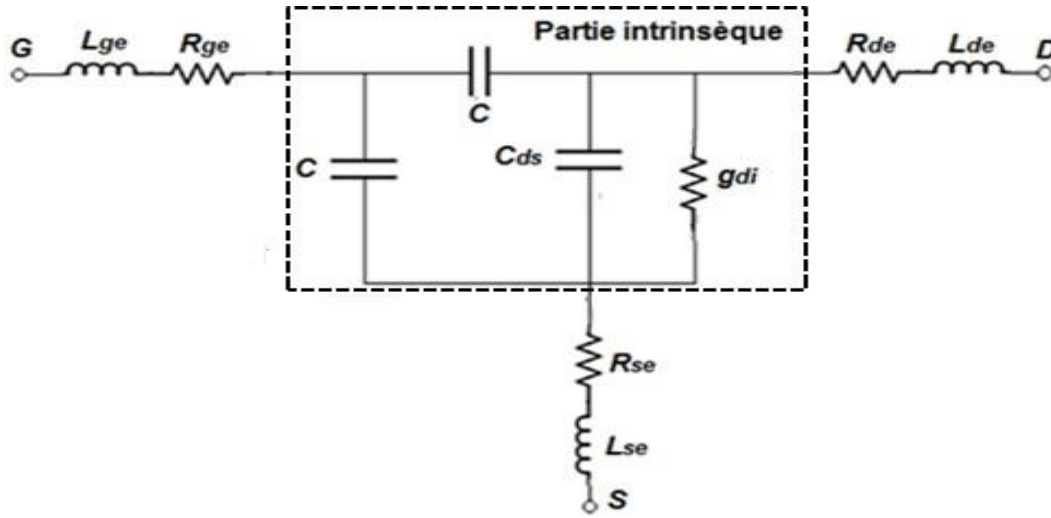


Figure II.4. Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0V$ [12]

Sous ces conditions, on considère que $C + 2CC_{ds} \ll 2g_{di}/\omega$ ainsi qu'une mobilité constante pour chaque V_{gs} appliquée. De là, les parties réelles des paramètres Z des éléments du circuit équivalent de la figure II.3. peuvent s'écrire sous la forme suivante:

$$R(Z_{22} - Z_{12}) = R_{de} + \frac{1}{2k(V_{gs} - V_T)} \quad (\text{II.14})$$

$$R(Z_{12}) = R_{se} + \frac{1}{2k(V_{gs} - V_T)} \quad (\text{II.15})$$

$$R(Z_{11} - Z_{12}) = R_{ge} + \frac{1}{4k(V_{gs} - V_T)} \quad (\text{II.16})$$

Où $K = \mu(W/L)C_{ox}$, μ et C_{ox} étant respectivement la mobilité et la capacité d'oxyde de grille normalisée alors que W et L représentent respectivement la largeur et la longueur du canal du transistor MOS. Enfin, les résistances série sont déterminées par l'intersection des courbes représentant les parties réelles des paramètres Z en fonction de $1/(V_{gs} - V_{th})$.

Quant aux parties imaginaires des paramètres Z , elles permettent de déterminer les inductances L_{de} , L_{se} et L_{ge} . Elles sont données par:

$$\text{Im}(Z_{22} - Z_{12}) = L_{de} + \frac{C + 2C_{ds}}{4K^2} \frac{1}{(V_{gs} - V_T)^2} \quad (\text{II.17})$$

$$\text{Im}(Z_{12}) = L_{se} + \frac{C + 2C_{ds}}{4K^2} \frac{1}{(V_{gs} - V_T)^2} \quad (\text{II.18})$$

$$\text{Im}(Z_{11} - Z_{12}) = L_{ge} + \frac{C_{ds}(C + 2C_{ds})}{4CK^2} \frac{1}{(V_{gs} - V_T)^2} - \frac{1}{2C\omega^2} \quad (\text{II.19})$$

Ainsi, L_{de} et L_{se} sont obtenues par l'intersection des courbes qui correspondent aux parties imaginaires des paramètres Z en fonction de $(1/(V_{gs}-V_{th})^2)$. Dans le cas de L_{ge} , deux étapes sont nécessaires :

- Une première régression linéaire d'Im ($Z_{11}-Z_{12}$) en fonction de ω^2 pour différentes valeurs de V_{gs}
- Une seconde régression linéaire de chaque intersection de l'étape précédente en fonction de $(1/(V_{gs}-V_{th})^2)$.

II.3.3. Méthode de Raskin

Dans cette méthode, le transistor est polarisé en saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$. Dans ces conditions le composant est considéré asymétrique, son circuit équivalent étant représenté la figure II.5 [14]. Les parties réelles des paramètres Z peuvent être exprimés par:

$$R(Z_{22}-Z_{12}) = R_{de} + \frac{1}{(\alpha^{-1} + 1)} \frac{L}{W\mu_0 C_{ox}} \left[\theta + \frac{1}{(V_{gs}-V_T)} \right] \quad (II.20)$$

$$R_e(Z_{12}) = R_{se} + \frac{1}{(\alpha + 1)} \frac{L}{W\mu_0 C_{ox}} \left[\theta + \frac{1}{(V_{gs}-V_T)} \right] \quad (II.21)$$

$$R(Z_{11}-Z_{12}) = R_{ge} - \frac{1}{(\alpha + \alpha^{-1} + 2)} \frac{L}{W\mu_0 C_{ox}} \left[\theta + \frac{1}{(V_{gs}-V_T)} \right] \quad (II.22)$$

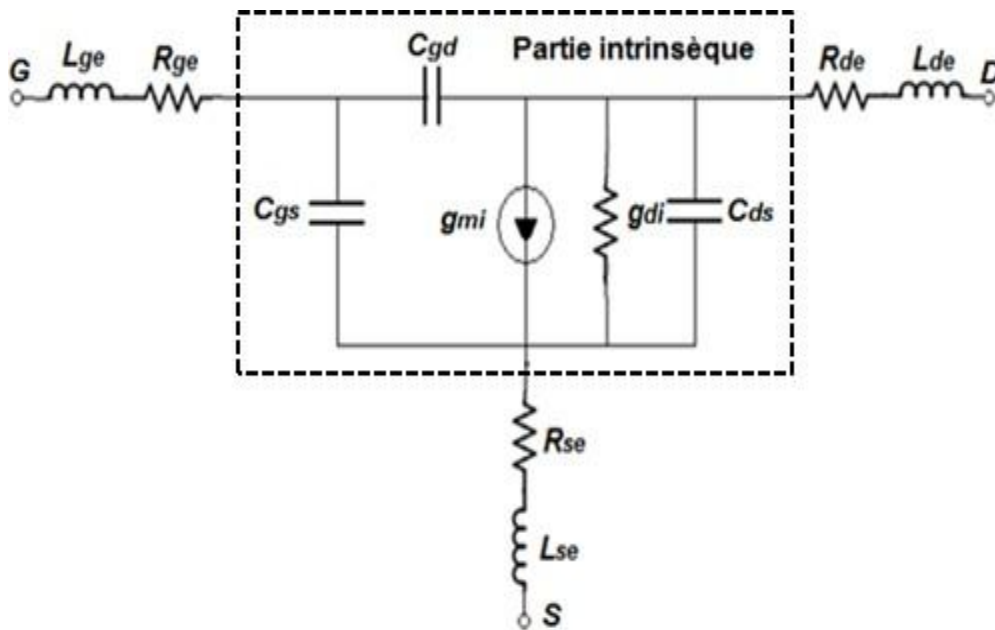


Figure II.5. Circuit équivalent petit signal en régime de saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$ [14]

Ainsi, les résistances série extrinsèques sont obtenues en utilisant le tracé des courbes suivantes:

La paire $\{R_e([Z_{\sigma\pi 12}(\omega)], R_e([Z_{\sigma\pi 21}(\omega)])\}$ permet de déterminer la résistance de source R_{se} , la paire $\{R_e([Z_{\sigma\pi 11}(\omega)], R_e([Z_{\sigma\pi 21}(\omega)])\}$ permet de déterminer la résistance de grille R_{ge} et la paire $\{R_e([Z_{\sigma\pi 22}(\omega)], R_e([Z_{\sigma\pi 12}(\omega)])\}$ permet de déterminer la résistance de drain R_{de} .

II.4. Performances RF des transistors MOS avancés

La réduction d'échelle agressive de la longueur de grille du transistor à effet de champ métal-oxyde-semi-conducteur (MOSFET) a été le principal stimulant de la croissance de l'industrie des circuits intégrés. Cette réduction d'échelle, qui s'est avérée bénéfique pour les circuits numériques, est principalement le résultat de la nécessité d'améliorer les performances des circuits et de réduire les coûts et a entraîné une réduction considérable du temps de transit de la porteuse à travers le canal, entraînant ainsi des fréquences de coupure très élevées.

L'état des facteurs de mérite (FoM) numériques, analogiques et RF des FET à base de silicium est présenté. Dispositifs à la pointe de la technologie avec de très bonnes performances montrant de faibles valeurs d'abaissement de barrière induit par le drain, une oscillation sous le seuil, des valeurs élevées de transconductance de grille, une tension précoce, des fréquences de coupure et un faible facteur de bruit minimum, et une bonne basse -les valeurs caractéristiques du bruit de fréquence sont rapportées[15].

II.4.1. Facteur de performances RF (FoM)

Les paramètres les plus importants du facteur de puissance haute fréquence sont la fréquence de coupure f_T et la fréquence d'oscillation maximale f_{max} . Les deux derniers d'entre eux sont les principaux paramètres du facteur de puissance RF (FoM) extraits des paramètres S.

II.4.1.1. Fréquence de transition f_T

La fréquence de transition f_T d'un transistor est la fréquence à laquelle le gain en courant en court-circuit $|H_{21}|$ du composant est égal à 1 (ou 0 dB). Elle reflète les performances dynamiques du transistor en régime de fonctionnement petit-signal et permet d'estimer la gamme de fréquences dans laquelle le dispositif peut être utilisé, on peut calculer analytiquement la fréquence de transition à partir des paramètres [S] et des éléments du schéma équivalent électrique hyperfréquence du transistor MOS[16].

$$|h_{21}|^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \right| \quad (\text{II.23})$$

On pose : $|h_{21}(f_T)| = 1$

L'expression analytique de la fréquence de transition est alors:

$$f_T \approx \frac{g_m}{2\pi C_{gse} \left(1 + \frac{C_{gde}}{C_{gse}}\right) + (R_{se} + R_{de}) \left(\frac{C_{gde}}{C_{gse}(g_m + g_d)} + g_d\right)} \quad (\text{II.24})$$

L'approximation de cette expression c'est :

$$f_T \approx \frac{g_m}{2\pi C_{gg}} \quad (\text{II.25})$$

Avec :

$$C_{gg} = C_{gde} + C_{gse} \quad (\text{II.26})$$

C_{gde} : la capacité drain/source

C_{gse} : la capacité grille/source

II.4.1.2. Fréquence maximale d'oscillation f_{max}

En général la fréquence maximale d'oscillation f_{max} caractérise la qualité de la technologie. Au-delà de f_{max} , le transistor devient passif. Avec l'adaptation de l'entrée et la sortie du composant à l'impédance caractéristique, on obtient Le gain unilatéral (U) qui nous a permet à définir la fréquence maximale d'oscillation f_{max} , fréquence pour laquelle le gain en puissance est égal à 1 (ou 0 dB). Son expression en fonction des paramètres S du composant est donnée par [16] :

$$ULG = \frac{\left| \frac{S_{12}}{S_{12}} - 1 \right|^2}{2 \left(K \left| \frac{S_{21}}{S_{12}} \right| - R_e \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (\text{II.27})$$

Avec : **K** : le facteur de stabilité du transistor. Il existe plusieurs définitions analytiques de f_{max} directement reliées à un schéma équivalent spécifique du transistor. L'expression la plus précise est :

$$f_{max} \approx \frac{g_m}{4\pi C_{gse} (1 + C_{gde}/C_{gse}) + \sqrt{g_d (R_{ge} + R_{se}) + 0.5 C_{gde}/C_{gse} (R_{se} g_m + \frac{C_{gde}}{C_{gse}})}} \quad (\text{II.28})$$

Après simplification on obtient :

$$f_{max} \approx \frac{g_m}{\sqrt{R_{gg} \cdot (g_d + 2\pi f_T \cdot C_{gd})}} \quad (\text{II.29})$$

Avec :

C_{gg} : Est la capacité totale vue de la grille.

$$R_{gg} = R_{ge} + R_{se} \quad (\text{II.30})$$

Conclusion

Dans ce chapitre nous avons exposé la modélisation RF des transistors MOSFET et plus particulièrement la modélisation empirique dont fait partie la modélisation analytique directe.

Ensuite nous avons décrit le schéma équivalent petit-signal en donnant une signification physique de chaque élément vu que cette étape est considérée comme étant la base de toute modélisation analytique directe.

Enfin, nous avons détaillé quelques technique ou méthodes d'extractions existantes pour l'utiliser le processus d'extractions des éléments extrinsèques (parasites).

Chapitre III

Résultats et discussion

Introduction

Ce chapitre représente une phase finale de notre travail. Cette dernière constitue un test de validation de l'approche exposé dans les chapitres précédents. Nous exposerons les résultats de modélisation basés sur les datas de mesures des transistors MOS avancés.

En commençant par l'extraction des valeurs des paramètres extrinsèques du circuit électrique équivalent petit-signal représenté en Fig. II.1 du chapitre 2. La deuxième étape est l'extraction des paramètres intrinsèques qui représente l'effet transistor du même schéma équivalent.

Après avoir extrait tous les paramètres du circuit équivalent, en passant à l'étape de validation, et ce, par la comparaison entre les paramètres- S de mesures et ceux de simulation basé sur les paramètres extraits utilisant le logiciel de simulation ADS (*Advanced Design System*).

III.1. Procédure d'extractions des éléments du schéma équivalent petit- signal

L'extraction des éléments du circuit équivalent petit signal se fait en deux étapes principales selon l'organigramme présenté en figure II.3 du chapitre 2. L'extraction des éléments extrinsèques se fait à l'état froid du transistor MOS c'est-à-dire ($V_{ds} = 0$ V et $V_{gs} < V_{th}$), dans ce cas le transistor est considéré comme étant bloqué OFF. Donc, la partie intrinsèque est négligeable cela permet de réduire la complexité du schéma équivalent.

D'un autre coté l'extraction des paramètres intrinsèques se fait à l'état chaud c'est-à-dire en saturation ($V_{ds} > V_{gs} > V_{th}$).

III.1.1. Schéma équivalent petit signal du transistor MOS avancés

Le schéma électrique équivalent du transistor MOS avancés représenté à la figure II.1 du chapitre 2, comprend deux parties principales: la partie extrinsèque et partie intrinsèque.

III.1.1.1. Extraction des paramètres extrinsèques

a. Extraction des résistances extrinsèques

L'extraction des résistances extrinsèques se fait à partir de la partie réelle des paramètres- Z , utilisant l'approche mentionnée dans les références [1].

✓ Extraction de résistance de grille

L'extraction de la résistance de grille des transistors MOS avancés est à partir de la partie réelle des paramètres impédance- Z en fonction de la fréquence en appliquant la méthode de **Lovelace**

exposé en chapitre 2.

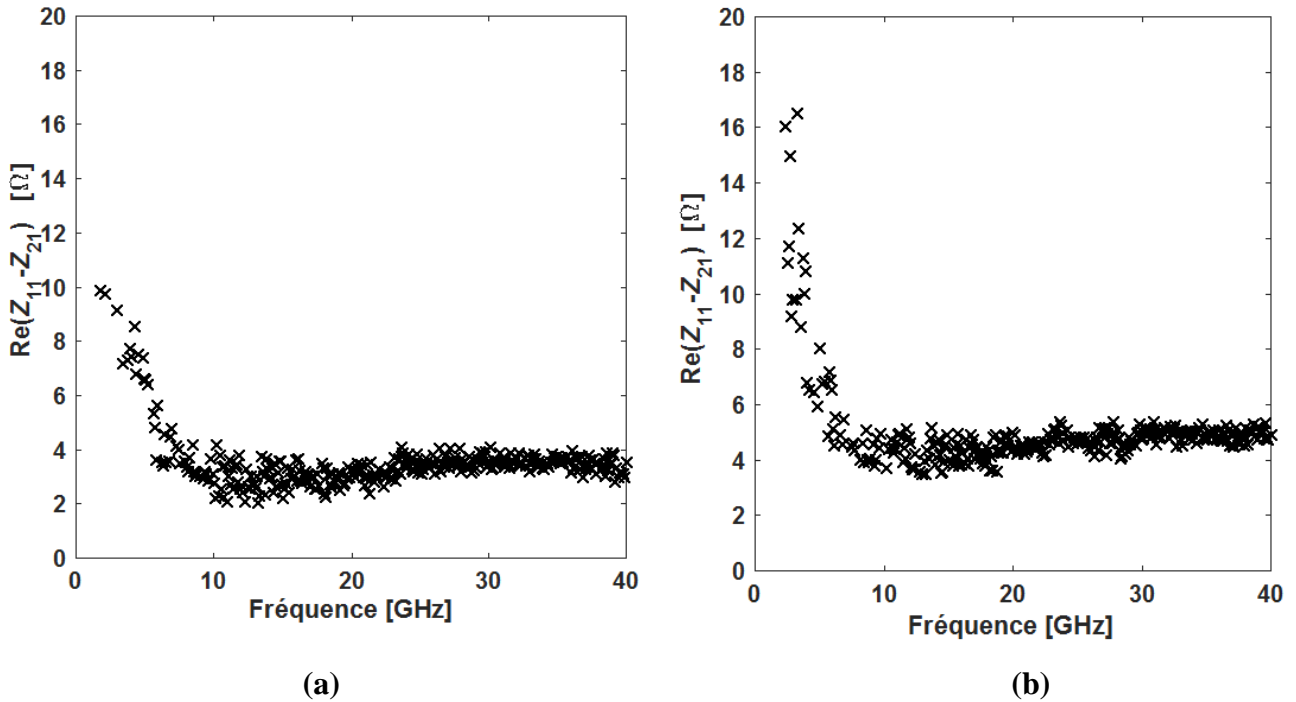


Figure III.1. Courbe de la résistance de grille en fonction de la fréquence du transistor MOS avancés à $V_{ds} = 0\text{ V}$ et $V_{gs} = 0\text{ V}$ du transistor MOS Avancés. (a) avec longueur de grille $L_g = 25\text{ nm}$, (b) avec longueur de grille $L_g = 30\text{ nm}$.

Les résistances de grille dans la figure III.1 montrent une courbe presque stable à partir de 10 GHz, leurs valeurs approximativement sont $3.9\ \Omega$ et $4.5\ \Omega$ pour MOS avancés $L_g = 25\text{ nm}$ et $L_g = 30\text{ nm}$ respectivement.

✓ **Extraction de résistance de source**

Une fois la valeur de la résistance de grille est connue, on peut facilement adapter le problème de régression linéaire exposé dans la méthode **Raskin** (chapitre 2) dans notre approche pour avoir les valeurs des résistances de drain et de source.

Pour avoir la résistance de source il suffit de représenter la partie réelle de Z_{11} en fonction de la partie réelle de Z_{21} , et la résistance de drain on représente Z_{22} en fonction de Z_{12} à $V_{ds} = V_{gs} = 0\text{ V}$.

La courbe de la figure III.2 représente la partie réelle de Z_{11} en fonction de Z_{21} avec le lissage la forme de la courbe doit être une droite qui ne passe pas par l'origine.

L'équation de la courbe d'après la méthode de Raskin chapitre 2 est :

$$R_g + R_s = \alpha R_s + \beta \tag{III.1}$$

α : pente de la courbe.

β : intersection avec l'axe des ordonnées

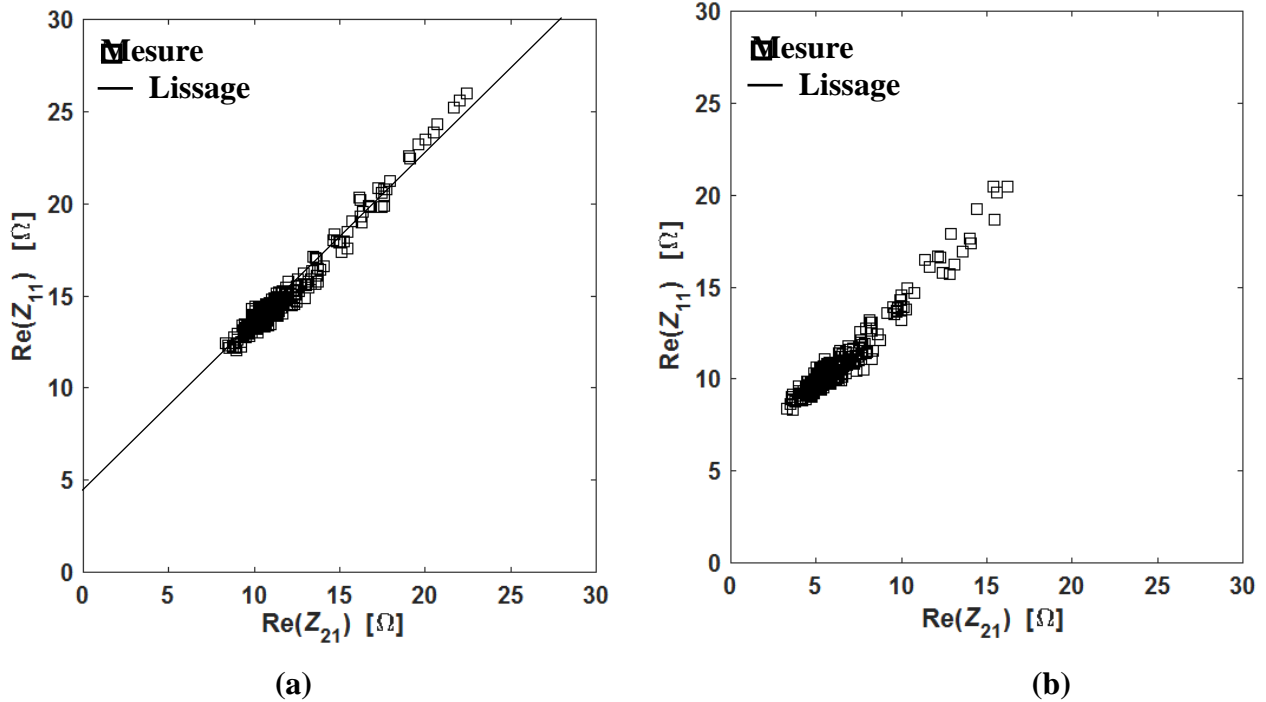


Figure III.2. Représentation paramétrique de résistance de source dans la gamme de fréquence [0 – 40GHz] à $V_{ds}=V_{gs}=0$ V du transistor MOS Avancés. (a) avec longueur de grille $L_g = 25$ nm, (b) avec longueur de grille $L_g = 30$ nm.

D’après l’équation (III.1), R_g est connue, β et α on peut les déterminer, donc on peut facilement avoir la valeur de la résistance de source R_s .

✓ **Extraction de résistance de Drain**

On applique le même principe déjà utilisé pour déterminer la résistance de source, cette fois-ci, on représente la partie réelle de Z_{22} en fonction de la partie réelle de Z_{12} toujours à $V_{ds} = V_{gs} = 0$ V.

Pour avoir la valeur de la résistance de drain il faut déterminer la résistance de source, ce que nous avons fait dans le paragraphe ci-dessus.

Une fois la valeur de la résistance de source est connu, on peut représenter la partie réelle de Z_{22} en fonction de Z_{12} la courbe de la figure III.2. Le lissage montre la forme de la courbe qui doit être une droite qui ne passe pas par l’origine.

L’équation de la courbe d’après la méthode de Raskin chapitre 2 est :

$$R_d + R_s = \alpha R_s + \beta \tag{III.2}$$

α : pente de la courbe.

β : intersection avec l’axe des ordonnées

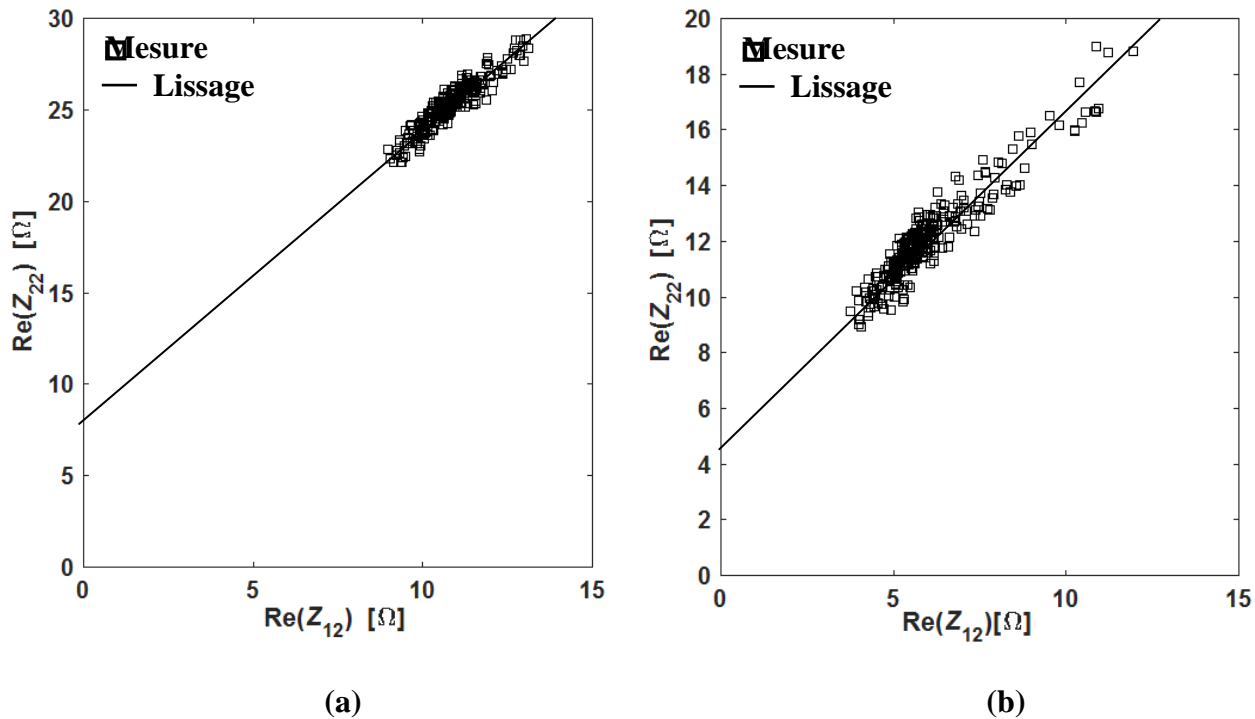


Figure III.3. Représentation paramétrique de résistance de drain dans la gamme de fréquence [0 – 40GHz] à $V_{ds}=V_{gs}=0$ V du transistor MOS Avancés. (a) avec longueur de grille $L_g = 25$ nm, (b) avec longueur de grille $L_g = 30$ nm.

D’après l’équation (III.2), R_s est connue, β et α on peut les déterminer, donc on peut facilement avoir la valeur de la résistance de source R_d .

Tableau III.1. Valeurs des résistances extrinsèques extraites à $V_{ds}= V$ et différents V_{gs} pour MOS avancés avec $L_g = 25$ nm.

$V_{ds} = 0$ V	R_g (Ω)	β	α	R_s (Ω)	β	α	R_d (Ω)
$V_g = -0.2$ V	3.6	3.5	0.84	4.1	11	0.36	8.5
$V_g = -1.5$ V	3.5	3.5	0.9	4.1	11	0.45	8.5
$V_g = -1$ V	3.7	3.5	0.75	4.1	11	0.32	8.5
$V_g = -0.5$ V	4	3.5	0.8	4.1	11	0.28	8.5
$V_g = 0$ V	3.8	3.5	0.65	4.1	11	0.3	8.5
$V_{gs} = 0.5$ V	4.2	5.4	0.68	1.37	11	0.45	8.5
$V_{gs} = 1$ V	4.1	9	0.65	1.42	2.5	0.5	2.03

b. Extraction des capacités extrinsèques

Les capacités extrinsèques ou parasites sont déduites à partir de la partie imaginaire des paramètres admittance- Y à $V_{ds} = 0V$ et $V_{gs} = 0 V$. les paramètres- Y sont issue de la transformation matricielle des paramètres impédances Z du paragraphe précédent.

Dans la plupart des techniques d'extraction des capacités extrinsèques utilise seulement les basse fréquence ($<5GHz$) dans le but d'éviter l'effet inductif qui se manifeste à partir de $10GHz$, et comme nous savons que l'effet résistif n'influent pas sur la partie imaginaire des paramètres- Y . cette dernière est donné par les équations suivantes :

$$Im(Y_{11}) = j\omega(C_{gse} + C_{gde}) \tag{III.3}$$

$$Im(Y_{22}) = j\omega(C_{dse} + C_{gde}) \tag{III.4}$$

$$Im(Y_{12}) = Im(Y_{21}) = -j\omega C_{gde} \tag{III.5}$$

Les valeurs des capacités extrinsèques représentés en figure III.3 présente presque une certaine stabilité sur une large bande de fréquence jusqu'à $40 GHz$.

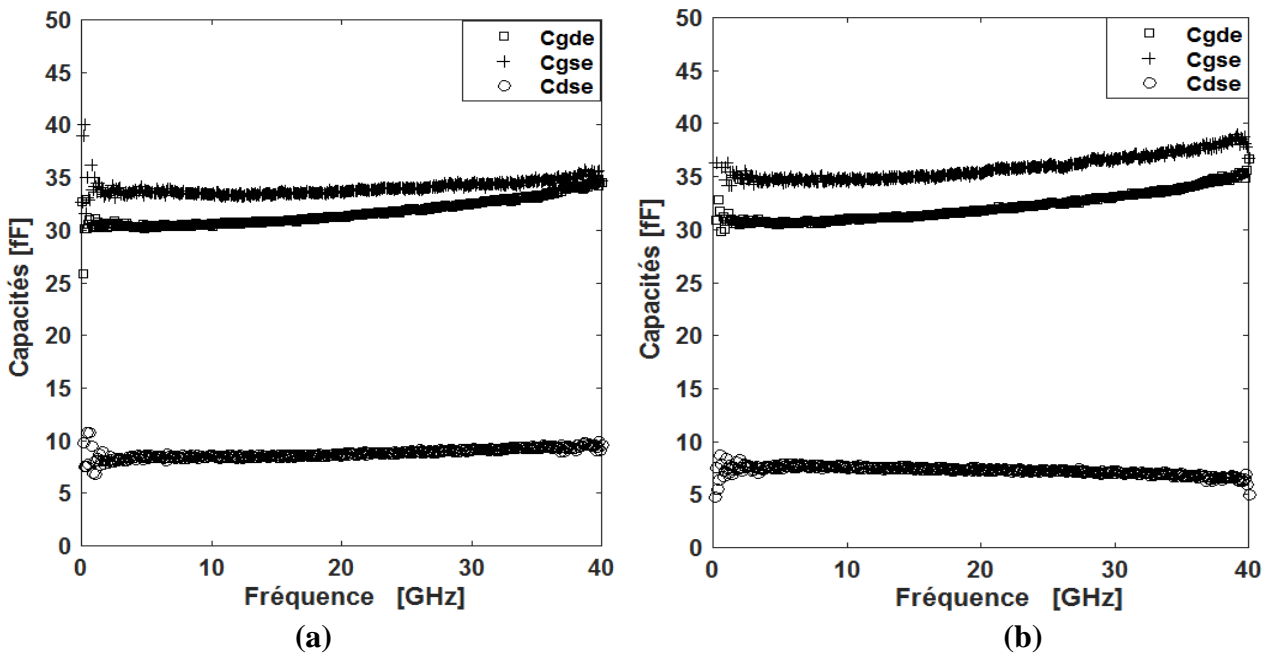


Figure III.4. Les valeurs des capacités extrinsèques en fonction de la fréquence du transistor MOS Avancés à $V_{ds} = 0V$ et $V_{gs} = 0V$ du transistor MOS Avancés. **(a)** avec longueur de grille $L_g = 25 nm$, **(b)** avec longueur de grille $L_g = 30 nm$.

III.1.1.2. Extraction des paramètres intrinsèque

Les paramètres intrinsèques représentent la partie active du transistor, après l'épluchage des résistances, inductances et des capacités extrinsèques. Les paramètres intrinsèques qui dépendent de la polarisation sont obtenus à partir des équations II.1-II.5 du chapitre 2.

- **Extraction des capacités intrinsèques**

La figures III.4 représente respectivement les capacités intrinsèques C_{gsi} et C_{gdi} en fonction de la fréquence jusqu'à 40 GHz à $V_{ds}=1.2$ V et $V_{gs}=0.95$ V du transistor MOS avancés avec longueur de grille $L_g = 25$ nm. Ces capacités ont été extraites à partir des équations du chapitre 2.

- **Extraction des conductances**

Les conductances représentent à la fois la transconductance G_m et la résistance du canal G_d . La figures III.5 représente leurs valeurs en fonction de la fréquence jusqu'à 40 GHz à $V_{ds}=1.2$ V et $V_{gs}=0.95$ V du transistor MOS avancés avec longueur de grille $L_g = 25$ nm.

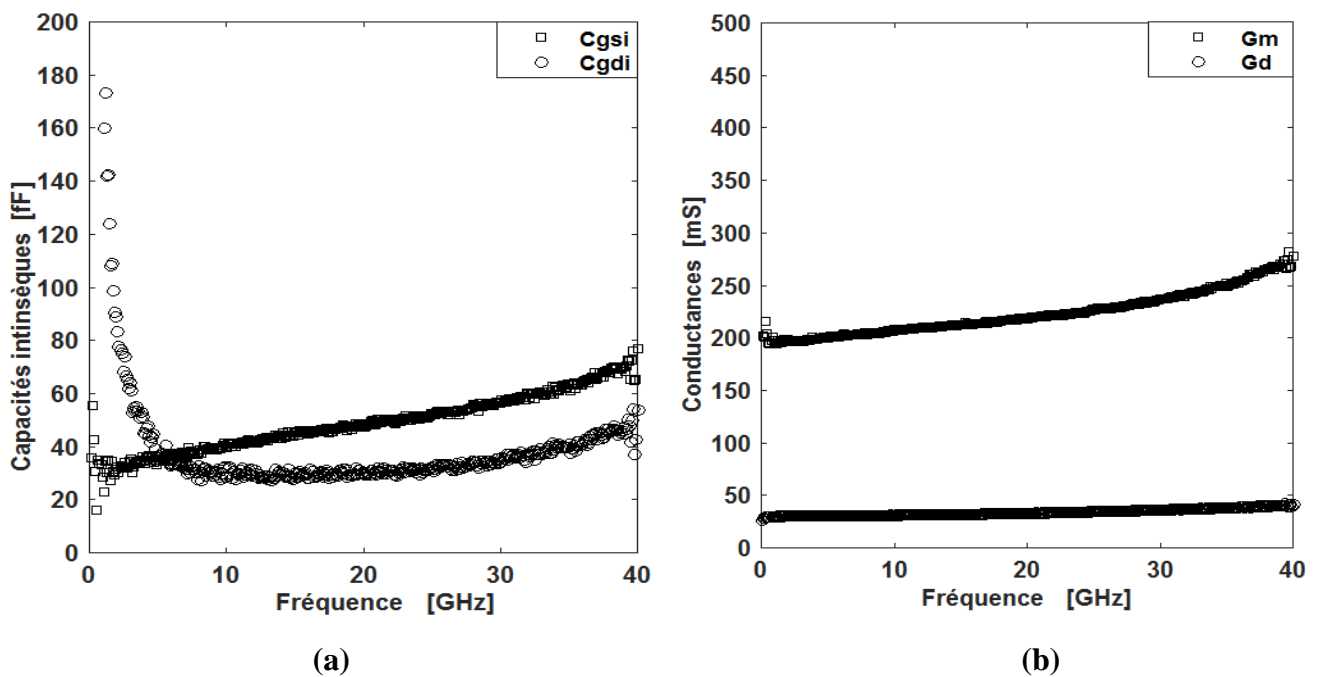


Figure III.5. Les valeur des capacités intrinsèques en fonction de la fréquence du transistor MOS Avancés à $V_{ds}=1.2$ V et $V_{gs}=0.95$ V, du transistor MOS avancés avec longueur de grille $L_g = 25$ nm.(a)capacité intrinsèque, (b) conductance.

- **Extraction de temps de retard**

La figures III.6le temps de retard en fonction de la fréquence jusqu'à 40 GHz à $V_{ds}=1.2$ V et $V_{gs}=0.95$ V du transistor MOS avancés avec longueur de grille $L_g = 25$ nm.

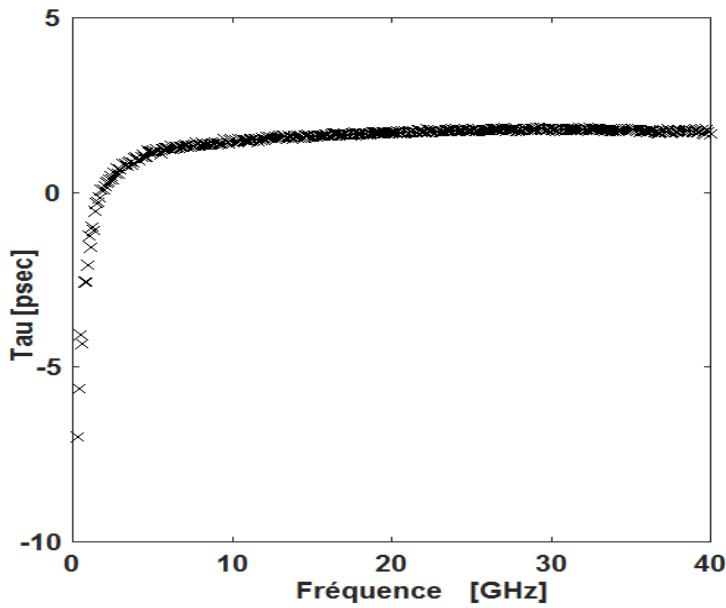


Figure III.6. Le temps de retard en fonction de la fréquence à $V_{ds}= 1.2$ V et $V_{gs}=0.95$ V du transistor MOS avancés avec longueur de grille $L_g = 25$ nm.

Après avoir effectué l'extraction des valeurs correspondantes aux différents paramètres intrinsèques à l'aides des courbes et des équations du chapitre 2 et aux différentes points de polarisation ; nous sommes arrivées à réaliser le tableau suivant:

Tableau III.2. Les valeurs extraites des éléments intrinsèques du circuit équivalent petit-signal du transistor MOS avancés avec longueur de grille $L_g = 25$ nm.

$V_{ds}(V)$	$V_{gs}(V)$	τ (pesc)	G_m (mS)	G_d (mS)	$C_{gdi}(fF)$	C_{gsi} (fF)	C_{dsi} (fF)	$R_{gsi}(\Omega)$	$R_{gdi}(\Omega)$
1.2	0.0825	1.4	200	25	5	20	30	2.5	2.2
1.2	0.095	1.5	208	28	7	22	33	3	2.5
1.2	1.075	1.3	202	29	1000	1000	2000	3.1	2.8
1.2	1.2	1.2	198	31	1000	1000	2000	3.2	3

III.2. Résultat de simulation du transistor MOS Avancés

La validation des résultats obtenus se fait en utilisant un logiciel de simulation ADS (Advanced Design System), après avoir implémenté un circuit électrique équivalent petit signal issue des éléments extrinsèques et intrinsèques extrait figure III.7, dans la même fenêtre du logiciel ADS, on charge les datas de mesure dans une boite noir (transistor S2P) montré en figure III.8, puis on simule les deux circuits au même temps, Dans le résultats de simulation on procède à la comparaison entre les paramètres-S des de mesures (S2P) et ceux du circuit électrique équivalent.

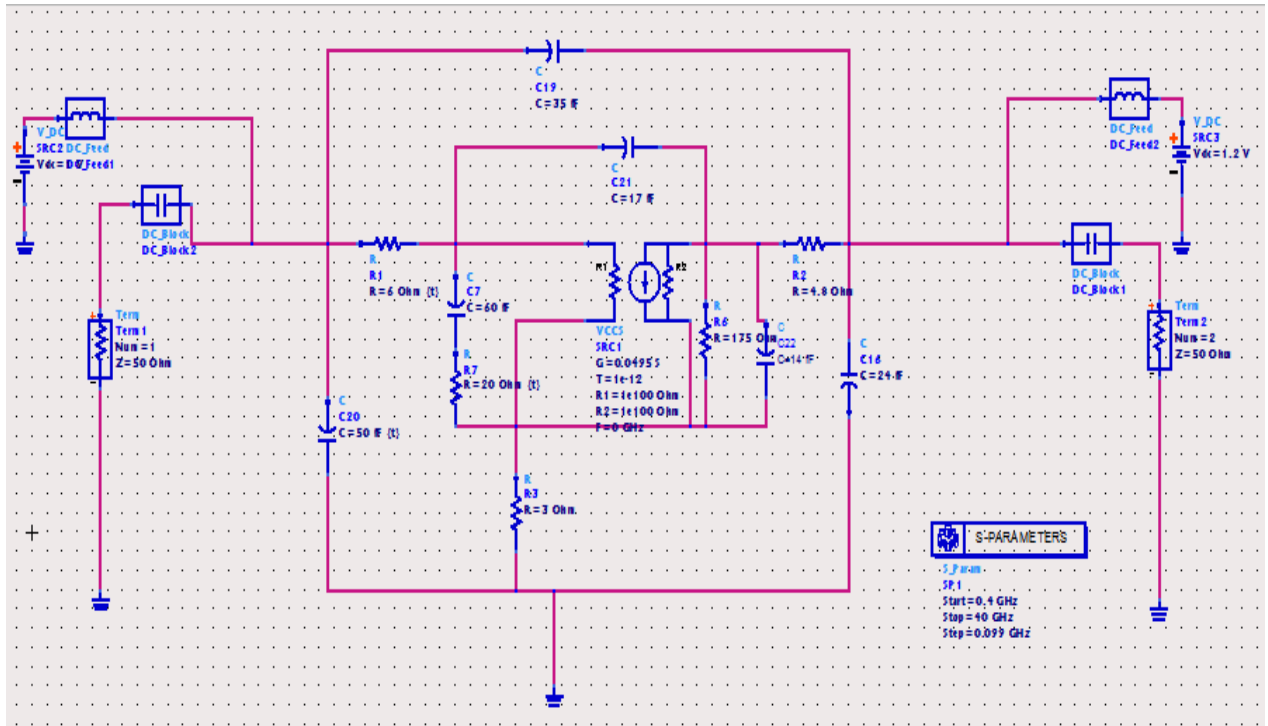


Figure III.7. Circuit électrique équivalent petit-signal du transistor MOS avancés sous ADS.

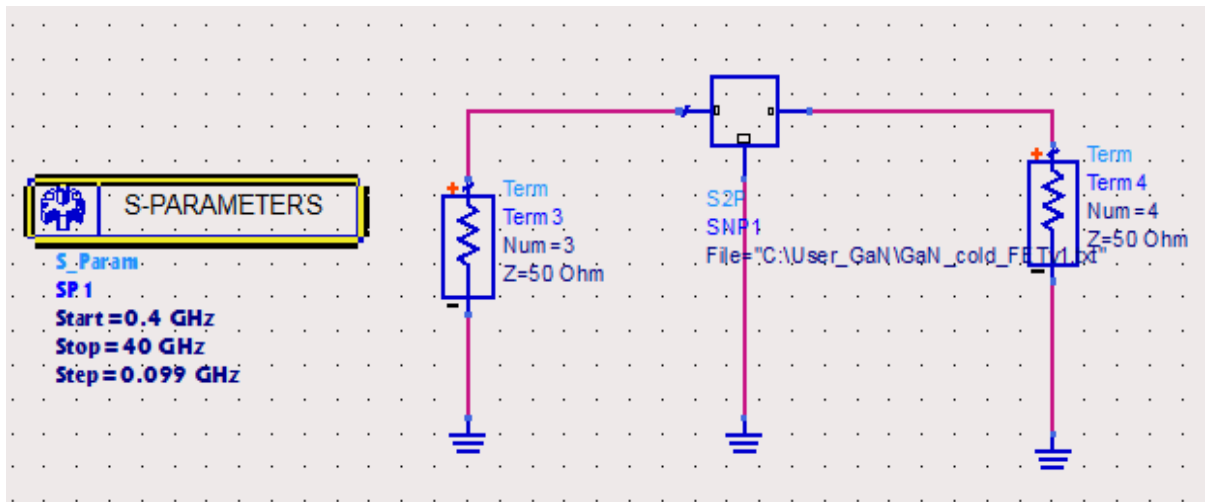


Figure III.8. Transistor S₂P sous ADS.

Les figures III.9, III.10 et III.11 montre une bonne convergence entre les paramètres-S et Y mesurés et les paramètres-S et Y simulés basés sur les paramètres extrait du circuit équivalent petit-signal du transistor MOS avancés avec longueur de grille $L_g = 25$ nm et $L_g = 30$ nm respectivement sur une large gamme de fréquence à $V_{ds} = 1.2$ V et $V_{gs} = 0.95$ V. Le bon accord obtenu prouve l'efficacité de la méthode d'extraction proposée.

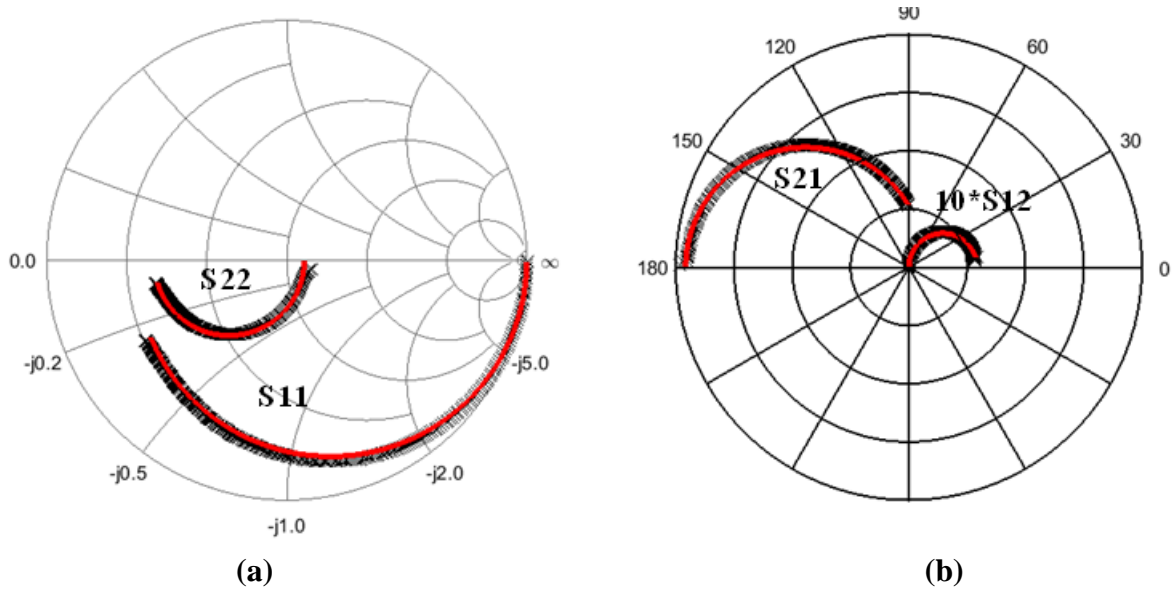


Figure III.9. Paramètres-S mesurés (x) et simulés (ligne) du transistor MOS avancés avec $L_g = 25$ nm à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V. (a) S_{11} et S_{22} , (b) S_{12} et S_{22} .

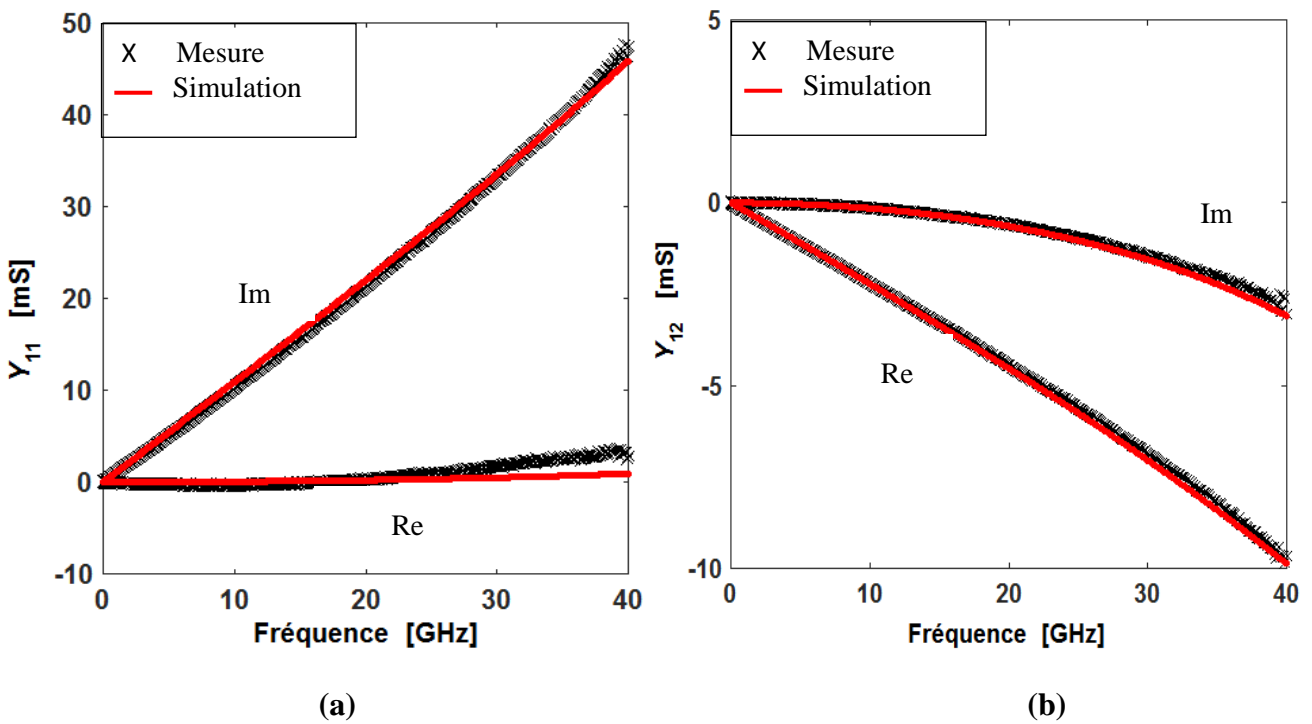


Figure III.10. Comparaison entre la partie réelle et imaginaire des paramètres Y du transistor MOS avancés avec $L_g = 30$ nm à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V. (a) Y_{11} , (b) Y_{12} .

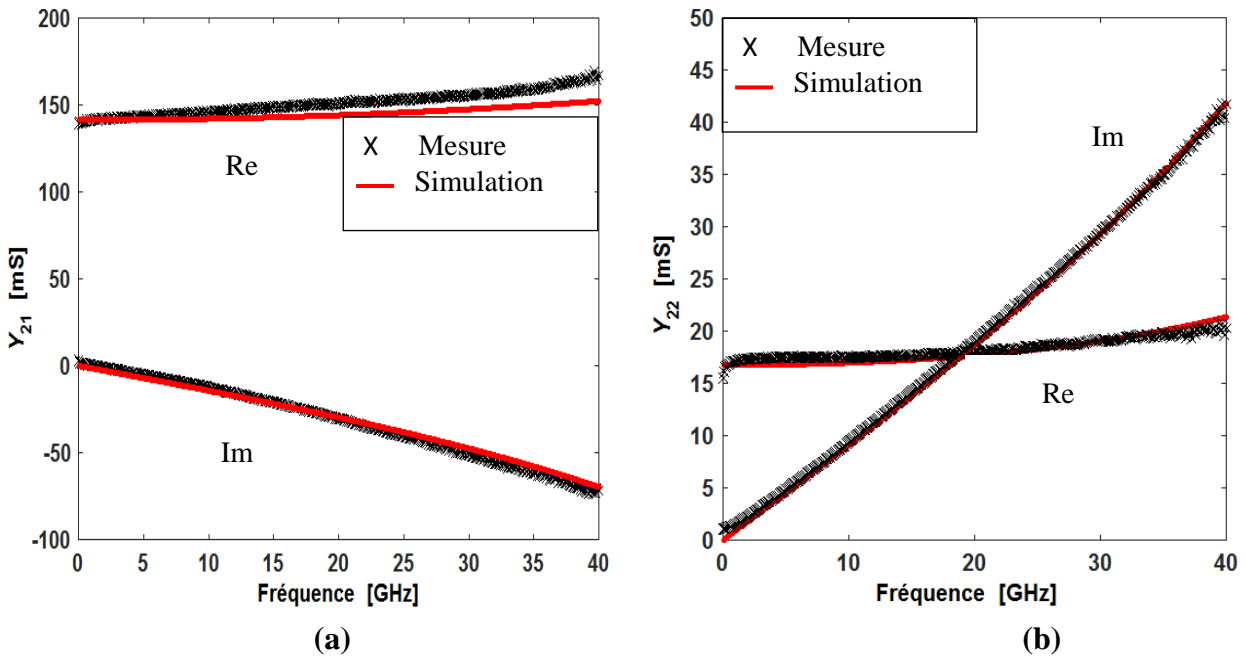


Figure III.11. Comparaison entre la partie réelle et imaginaire des paramètres Y du transistor MOS avancés avec $L_g = 30$ nm à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V. (a) Y_{21} , (b) Y_{22} .

Conclusion

Dans ce chapitre, une méthode d'extraction directe et précise des éléments extrinsèque du transistor MOS avancés avec différentes longueurs de grille a été suivie. Les résultats obtenus sont exposés dans les différentes figures de ce chapitre plus un tableau récapitulatif avec les différentes polarisations en saturation cela confirme l'exactitude de l'approche suivie. Cette technique est vérifiée par l'accord entre les paramètres S mesurés et simulés basé sur les paramètres extraits, et ce jusqu'à 40 GHz.

Ainsi, un bon accord est obtenu entre les résultats simulés et mesurés. Ceci valide donc la précision du modèle proposé et de la méthode d'extraction.

Conclusion générale

Conclusion générale

L'évolution des transistors MOSFET dans le domaine radiofréquence contribuent d'une façon directe à l'évolution de plusieurs applications dans plusieurs domaines à titre d'exemple les réseaux cellulaires en télécommunication.

Le travail effectué dans ce mémoire concentre sur l'extraction des valeurs des paramètres parasites d'un circuit électrique équivalent du transistor MOS avancés. Il s'agit d'appliquer les techniques d'extractions existantes sur des nouvelles architectures des transistors MOSFET.

Au début nous avons dressé une brève description des transistors MOSFET en concentrant sur les transistors MOS sur substrat SOI qui pressentent une alternative du MOSFET classique.

Ensuite, on a exposé la théorie de la modélisation RF des MOSFET et en particulier la modélisation analytique directe, puis nous avons défini les éléments d'un circuit équivalent petit-signal qui constitue la base d'une modélisation analytique directe.

Enfin, le dernier chapitre a été consacré à la présentation des différents résultats de modélisation et simulation en appliquant les approches détaillées en chapitre 2. Puis, une comparaison entre mesure et simulation a été effectué et nous avons obtenu une très bonne convergence qui reflète l'exactitude de la procédure d'extraction suivis.

Bibliographie

Bibliographie

- [1] A.Mme Nasri wissem, «Extraction DC des paramètres extrinsèque des transistors MOS avancés», mémoire de master en électronique, université Abderrahmane mira- Béjaia, 2020.
- [2] D. Maafri, « Caractérisation et modélisation large bande des transistors à effet de champ », thèse de doctorat, Université Sciences Et Technologie Houari Boumediene Faculté D'électronique Et Informatique, 2017.
- [3] A. Ferdi, «Modélisation et identification paramétrique du transistor DG MOSFET en utilisant la logique floue», thèse de doctorat, Université de Batna, 2011.
- [4] F. Kertous, « Etude et modélisation d'un transistor MOSFET à double-grille symétrique », Mémoire du diplôme de magister, Université Des Sciences Et De La Technologie D'Oran Mohamed Boudiaf, 2012.
- [5] M. Khaouani, « Etude et caractérisation d'un transistor nanométrique a grille enrobante GAA MOSFETs », thèse de doctorat, Université Aboubakr Belkaid Tlemcen, 2018.
- [6] M. Khaouani. Etude et caractérisation d'un transistor nanométrique a grille enrobante GAA MOSFETs, thèse de doctorat, Université Aboubakr Belkaid Tlemcen, 2018.
- [7] A.Litty, « Conception, fabrication, caractérisation et modélisation du transistor mosfet haute tension en technologie avancée SOI (silicon on insulator) », thèse de doctorat, Université Grenoble Alpes, 2016.
- [8] A.GUIATNI, T.BELHADJ, « modélisation et Caractérisation des Transistors LDMOS dans le domaine des RF A BASE de schéma équivalent », mémoire de master, Université Mohammed Seddik BENYAHIA Jijel, 2018.
- [9] M. BENAZIZA, M. BOUDOUDA, « Modélisation Hyperfréquence des Transistors MOS : Utilisation de Différents Schémas Electriques Equivalents », mémoire de master, Université Mohammed Seddik BENYAHIA Jijel, 2021.
- [10] M. Tamoum, « Caractérisation Fine et Modélisation Non-Linéaire des Transistors MOSFET », thèse de doctorat, Université Ferhat Abbas Sétif, 2013.
- [11] K. Guelil, A. Ghalmi, « Etude des performances RF des transistors MOSFET », mémoire de master en électronique, Université Abderrahmane Mira de Bejaia, 2017.
- [12] D. Lovelace, J. Costa, N. Camilleri, « Extracting small-signal model parameters of silicon MOSFET transistors », IEEE MTT-S Int. Microwave Symp, vol. 2, pp. 865-868, 1994.

- [13] A. Bracale, V. Ferlet, N. Fel, D. Pasquet, J. L. Gautier, J. L. Pelloie, J. Ponchara « A new approach for SOI devices small-signal parameters extraction», *Analog Integrated Circuits and Signal Processing*, pp. 157-168, 2000.
- [14] J. P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker, J. P. Colinge, « Accurate SOI MOSFET characterization at microwave frequencies for device performance optimization and analog modeling», *IEEE Trans. Electron Dev*, vol. 45, no. 5, pp. 1017-1024, 1998.
- [15] P.Vikram , J.P.Raskin, « Review on analog RF performance of advanced MOSFET », In: *Semiconductor Science and Technology*, Vol. 32, no.12, p. 123004 ,2017.
- [16] G. Dambrine, A. Cappy, F. Heliodore , E.Playez, «A new method for determining the FET small-signal equivalent circuit », *IEEE Trans. Microw. Theory and Tech.*, vol. 36, pp. 1151-1159, 1988.
- [17] F. Diamant, M. Laviron, «Measurement of extrinsic series elements of a microwave MESFET under zero current conditions», in *Proc. 12th European Microwave Conf.* , pp. 451–456, 1982.
- [18] G. Dambrine, A. Cappy, F. Heliodore , E.Playez, «A new method for determining the FET small-signal equivalent circuit», *IEEE Trans. Microw. Theory and Tech.*, vol. 36, pp. 1151-1159, 1988.
- [19] M. Tamoum. « Caractérisation Fine et Modélisation Non-Linéaire des Transistors MOSFET », thèse de doctorat, Université Ferhat Abbas Sétif, 2013.

Résumé

Notre travail propose une nouvelle approche pour la modélisation des transistors MOS SOI avancés en extrayant divers paramètres de schéma électrique équivalent basé sur la méthode d'extraction de Bracale, Cette valeur nous a également permis de calculer la fréquence de transition et de déterminer le facteur de performances RF (FoM), un facteur clé dans le développement de la technologie MOSFET.

Notre travail a été réalisé en collaboration avec l'équipe ARFIC du CDTA d'Alger.

Mots clés : transistor MOSFET, Modélisation, Méthodes d'extraction, Paramètres [S], radiofréquence.

Abstract

Our work proposes a new approach for modeling advanced MOS SOI transistors by extracting various parameters from equivalent electrical diagram based on Bracale's extraction method, this value also allowed us to calculate the transition frequency and determine the factor of RF performance (FoM), a key factor in the development of MOSFET technology.

Our work was carried out in collaboration with the ARFIC team of the CDTA, Algiers.

Key words: MOSFET transistor, Modeling, Extraction methods, Parameters [S], radiofrequency.

ملخص

يقترح عملنا نهجاً جديداً لتصميم ترانزستورات MOS SOI المتقدمة من خلال استخراج معلومات مختلفة من الرسم البياني الكهربائي المكافئ بناءً على طريقة استخراج Bracale ، كما سمحت لنا هذه القيمة بحساب تردد الانتقال وتحديد عامل أداء الترددات اللاسلكية (FoM) ، وهو عامل رئيسي في تطوير تكنولوجيا MOSFET. تم تنفيذ عملنا بالتعاون مع فريق ARFIC في CDTA ، الجزائر العاصمة. الكلمات الرئيسية: ترانزستور MOSFET ، التصميم ، طرق الاستخراج ، المعلمات [S] ، تردد الراديو.