



Mémoire de Master

Présenté au

Département : Génie Électrique

Domaine : Sciences et Technologies

Filière : Télécommunications

Spécialité : Systèmes des Télécommunications

Réalisé par :

AKKOUCHE Wissem

Et

AKKOUCHE Thilelli

Thème

Modélisation petit signal des transistors MOS sur substrat SOI

Soutenu le: **21/09/2023**

Devant le Jury composé de :

Mr :	CHELBI Salim	M.C.A	Univ. Bouira	Président
Mr :	BENAOUICHA Karim	M.C.A	Univ. Bouira	Encadreur
Mr :	MAAFRI Djabar	M.C.A	CDTA	Co-Encadreur
Mr :	NOURINE Mourad	M.A.A	Univ. Bouira	Examinateur

Dédicace

Je dédie ce travail

*À mes parents chéris ‘ dont l'amour infini et les sacrifices inestimable ont comblé
chaque instant de ma vie ‘ que Dieu les préserve et les protège pour toujours.*

A mes frères, ma sœur et Toute ma famille

A ma chère binôme et amie Wissem

*Enfinement, à tous mes amies d'étude et surtout mes collègues de promo des
systèmes des télécommunications.*

thilelli

Dédicace

"Dédié à ceux qui ont éclairé mon chemin vers la réussite:

À ma famille qui sont loin de moi (mon père, ma mère, mes frères, mes sœurs) et sans oublier mes grands-parents, pour leur amour inconditionnel, leur soutien indéfectible et leur patience infinie.

A mon fiancé, mes amis, et spécifiquement ma collègue dans ce travail Lili.

Pour les moments de détente qui ont équilibré mes journées de travail acharné et pour leur amitié précieuse.

A mes professeurs, pour leur expertise, leur guidance et leur passion pour l'enseignement qui m'ont inspiré à donner le meilleur de moi-même.

Que cette dédicace symbolise ma gratitude envers chacun d'entre vous. Ce projet est le fruit de notre collaboration et de votre impact dans ma vie. Merci du fond du cœur."

WISSEM

Remerciement

Avant tout, nous souhaitons exprimer notre profonde gratitude envers Monsieur, Maafri Djabar émérite chercheur au sein du département de la microélectronique au CDTA et Monsieur Benaouicha Karim enseignant à l'université Akli Mohand oulhadj de Bouira. Leur soutien inestimable tout au long de l'élaboration de ce mémoire de fin d'études, marqué par leurs explications éclairées et de leurs conseils avisés, mérite notre sincère reconnaissance.

Nous tenons également à exprimer notre gratitude envers tous ceux qui ont contribué, qu'ils soient proches ou éloignés, à la réalisation de ce projet, notamment les membres de notre famille, nos amis, ainsi que nos Collègues au sein du département génie électrique.

Enfin, nous adressons nos remerciements chaleureux aux membres du jury pour avoir accepté avec bienveillance d'évaluer ce travail, faisant ainsi honneur à notre démarche.

A tous, pour tous, Merci.

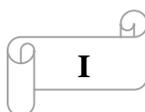


Table des matières

Remerciements.....	I
Table des matières.....	II
Liste des figures	IV
Liste des Tableaux.....	V
Listes des Acronymes et Symboles.....	VI
Introduction générale.....	1

Chapitre 1 : Les transistors MOSFET Sur substrat SOI

1.1	Introduction	3
1.2	Evolution de la technologie CMOS.....	3
1.3	Introduction aux transistors MOSFET	4
1.4	Les transistors MOSFET sur substrat massif	4
1.4.1	Structure du Transistor MOS Bulk	4
1.4.2	Principe de fonctionnement.....	5
1.4.3	Avantages de MOS massif	8
1.4.4	Inconvénients de MOS massif	9
1.5	Les transistors MOS sur substrat SOI	9
1.5.1	Les substrats SOI	10
1.5.2	Les différents types de transistors MOSFET SOI	10
1.5.2.1	Transistors MOSFET PD SOI	11
1.5.2.2	Transistors MOSFET FD SOI	12
1.5.2.3	Transistor FinFET	12
1.5.2.4	Transistor UTBB FD-SOI	13
1.6	Conclusion.....	14

Chapitre 2 : Extractions des éléments d'un circuit équivalent petit-signal de transistor MOSFET

2.1	Introduction	15
2.2	Modélisation analytique des transistors MOSFET	15
2.3	Modélisation petit signal de transistor MOSFET	15

2.4	Méthodologie suivie pour l'extraction des éléments du model électrique petit signal	16
2.5	Extraction du circuit équivalent petit-signal du transistor MOSFET	16
2.5.1	Schéma équivalent petit signal	16
2.5.2	Extraction des éléments extrinsèque	17
2.5.3	Extractions des éléments intrinsèque	17
2.5.4	Validation	19
2.6	Méthodes d'extraction du circuit équivalent petit signal de transistor MOSFET	19
2.6.1	Méthode de polarisation à froid	19
2.6.2	Méthode de Raskin	19
2.6.3	Méthode de Bracale	20
2.6.4	Méthode de lovelace	22
2.7	Extraction des capacités extrinsèque	23
2.8	Détermination des éléments intrinsèques	23
2.9	Paramètres de dispersion S d'un transistor	24
2.10	Conclusion	25

Chapitre 3 : résultats et discussion

3.1	Introduction:	26
3.2	Les étapes d'extractions des éléments du schéma équivalent petit- signal	26
3.2.1	Choix du schéma équivalent petit signal du transistor MOS avancés	26
3.2.2	Extraction des paramètres extrinsèques du transistor MOS avancés	26
3.2.3	Extraction des paramètres intrinsèque du transistor MOS-SOI	36
3.3	Validation de la technique proposée	40
3.4	Conclusion	42
	Conclusion générale	43
	Bibliographie	44

Liste des figures

Chapitre 1: Les transistors MOSFET Sur substrat SOI

Figure 1.1 : Réduction d'échelle de la technologie CMOS, en accord avec la loi de Moore	4
Figure 1.2: a) Représentation schématique d'un transistor nMOS sur silicium massif, b) Caractéristique de sortie I_d (V_g) d'un transistor nMOSFET.....	5
Figure 1.3 : L'effet du champ sur la structure MOS.....	6
Figure 1.4 : état bloqué de transistor MOS.....	7
Figure 1.5 : état passant de de transistor MOS.	7
Figure 1.6 : état saturé de transistor MOS.	8
Figure 1.7: structure d'un transistor (simple grille) SOI de type n	10
Figure 1.8: Représentation schématique d'un transistor SOI : (a) partiellement déserté et (b) entièrement déserté	11
Figure 1.9: Représentation schématique d'un transistor MOS PD SOI.....	11
Figure 1.10: Représentation schématique d'un transistor MOS FD SOI.....	12
Figure 1.11: Schéma de La structure du transistor FinFET	13
Figure 1.12: Schéma de la structure simplifié de transistor UTBB FD-SOI	14

Chapitre 2 : Extractions des éléments d'un circuit équivalent petit-signal de transistor MOSFET

Figure 2.1 : Organigramme des étapes à suivre suivie pour l'extraction des éléments du schéma équivalent à petit signal et sa validation.	16
Figure 2.2: schéma équivalent à petit signal du transistor MOSFET.	17
Figure 2.3: Schémas équivalent petit signal de la partie intrinsèque	18
Figure 2.4: Circuit équivalent petit signal en régime de saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$	20
Figure 2.5: Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0$ V	20
Figure 2.6: Circuit équivalent petit signal à $V_{gs} \ll V_{th}$ et $V_{ds} = 0$ V.....	22
Figure 2.7: Schéma équivalent petit signal du transistor MOS SOI à $V_{ds} = V_{gs} = 0$ V.	23
Figure 2.8: Représentation d'un transistor en source commune, sous la forme d'un quadripôle	24

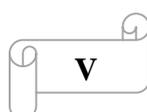
Chapitre 3 : Résultats et discussions

Figure 3.1: Représentation de la résistance de grille en fonction de la fréquence du transistor MOS SOI avec différentes longueur de grille L_g .(a) $V_{ds} = 0$ V et $V_{gs} = 0$ V, (b) $V_{ds} = 0$ V et $V_{gs} = -2$ V	29
Figure 3.2: Représentation paramétrique de la résistance extrinsèque R_{se} dans la gamme de fréquence 0.04 - 40 GHz pour le MOS SOI .(a) $V_{ds} = 0$ V et $V_{gs} = 0$ V, (b) $V_{ds} = 0$ V et $V_{gs} = -2$ V.....	30
Figure 3.3: Représentation paramétrique de la résistance extrinsèque R_{de} de dans la gamme de fréquence 0.04 - 40 GHz pour le MOS SOI . (a) $V_{ds} = 0$ V et $V_{gs} = 0$ V, (b) $V_{ds} = 0$ V et $V_{gs} = -2$ V.....	31

Figure 3.4: Représentation des capacités extrinsèques extraites en fonction de la fréquence du transistor MOS SOI. (a) $V_{ds} = 0$ V et $V_{gs} = 0$ V, (b) $V_{ds} = 0$ V et $V_{gs} = -2$ V.....	34
Figure 3.5: Représentation des conductances en fonction de la fréquence du transistor MOS SOI à $V_{gs} = 1$ V et $V_{gs} = 0.95$ V. (a) $L_g = 25$ nm, (b) $L_g = 30$ nm, (c) $L_g = 35$ nm, (d) $L_g = 45$ nm, (e) $L_g = 60$ nm, (f) $L_g = 60$ nm.....	37
Figure 3.6: Représentation des capacités intrinsèques en fonction de la fréquence du transistor MOS SOI à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V. (a) $L_g = 25$ nm, (b) $L_g = 30$ nm, (c) $L_g = 35$ nm, (d) $L_g = 45$ nm, (e) $L_g = 60$ nm, (f) $L_g = 60$ nm.	39
Figure 3.7: Circuit électrique équivalent petit-signal du transistor MOS avancés sous ADS.	40
Figure 3.8: Transistor S2P sous ADS	40
Figure 3.9: Comparaison des paramètres S mesurés (o) avec simulation (ligne) à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V dans la gamme de fréquence 0.04 à 40 GHz, (a) MOS avec $L_g = 30$ nm, (b) MOS avec $L_g = 45$ nm, (c) MOS avec $L_g = 60$ nm, (d) MOS avec $L_g = 90$ nm.....	41

Liste des tableaux

Tableau 3.1: les valeurs des paramètres extrinsèques extraits du schéma équivalent pour le MOS SOI avec différentes longueurs de grille à froid et à froid pincé.	35
Tableau 3.2: Les valeurs des paramètres intrinsèques du schéma équivalent pour le MOS SOI avec différentes longueurs de grille en saturation.	39



Listes des Acronymes et Symboles

- **Acronymes**

ADS	Advanced Design System
BOX	Burried Oxide
CMOS	Complementary Metal-Oxide-Semiconductor
CI	Circuits Integrated
DC	Direct Current
FD SOI	Fully Depleted Silicon-on-Insulator
FET	Field Effect Transistor
FoM	Facture de performances RF
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MOS	Metal Oxide Semiconductor
GAN	Gallium Nitride
PD SOI	Partielly Depleted Silicon-on-Insulator
UTBB	Ultra- Thin Body and Box
RF	Radio Frequency
V_{th}	Threshold voltage
V_{gs}	Tension grille-source

- **Symboles**

Φ_F	V	le potentiel de fermi du silicium.
N_a	cm^{-3}	la concentration de dopage dans la région P (Cas du NMOS).
ϵ_{si}		la permittivité du silicium.
q	1.602×10^{-19} C	la charge d'un électron.
ω	Rad/s	Pulsation

Introduction générale

Dans le contexte dynamique des télécommunications, où les demandes en termes de rapidité, d'efficacité et de gestion de l'énergie ne cessent de croître, l'importance des transistors MOSFET est indéniable. Ces composants électroniques ont révolutionné le paysage des technologies de communication, jouant un rôle central dans l'évolution des appareils électroniques modernes. En particulier, leur intégration majeure dans la technologie CMOS a ouvert la voie à des avancées remarquables. Cette technologie avec ses récentes conceptions, telles que les MOSFET sur un substrat SOI (Silicon-on-Insulator), se caractérisent par leur structure plus fine, leurs couches de film et d'isolant réduites au minimum, se présentent comme des candidats exceptionnels pour remplacer les technologies alternatives. Elles se distinguent par leur capacité à considérablement augmenter les performances des circuits intégrés, que ce soit en termes de vitesse ou d'efficacité énergétique, tout en se pliant aux contraintes de la miniaturisation ultime des transistors. Dans ce contexte passionnant, l'exploration des films SOI ultra minces pour maîtriser les effets à canal court et atteindre la miniaturisation ultime des transistors MOS offre des perspectives prometteuses pour façonner l'avenir de cette industrie cruciale.

L'évolution des composants semi-conducteurs implique des travaux de caractérisation électrique et de modélisation, essentiels pour comprendre les transistors et extraire leurs paramètres. De nouvelles méthodes d'extraction sont envisageables, mais l'interprétation des résultats demeure cruciale. Les données expérimentales alimentent la création de modèles utilisés dans la conception de circuits numériques, analogiques et RF.

L'objectif de ce travail se focalise sur la modélisation analytique directe du transistor MOS SOI dans un schéma électrique équivalent petit signal. Le but principal est d'identifier les éléments extrinsèques (parasites) et intrinsèques qui le constituent en se basant sur des méthodologies d'extraction à petit-signal. Pour cela, nous avons divisé ce mémoire en chapitres selon le plan suivant :

Le premier chapitre se consacre à l'étude des transistors à effet de champ MOSFET. Pour débiter, nous allons nous pencher sur le MOSFET de type Bulk, en examinant son mode de fonctionnement ainsi que ses avantages et inconvénients. Par la suite, nous aborderons le MOSFET SOI en détaillant ses diverses variantes.

Dans le deuxième chapitre, nous nous approfondirons dans le cœur du sujet en examinant la modélisation et l'extraction des paramètres des transistors MOSFET de manière globale.

Tout d'abord, nous nous concentrerons à la modélisation analytique directe des transistors MOSFET, puis nous explorerons les différentes techniques d'extraction spécifiques à ce composant.

Le dernier chapitre, sera consacré aux résultats obtenus en utilisant les techniques d'extraction présentées dans le deuxième chapitres. Ensuite, nous procéderons à la comparaison entre les données mesurées et la simulation qui repose sur les caractéristiques extraites. Dans le but d'évaluer de manière objective l'approche utilisée.

Enfin, on termine par une conclusion générale.

Chapitre 1:

Les transistors MOSFET Sur substrat SOI

1.1 Introduction

Le transistor joue un rôle essentiel dans le domaine de la microélectronique. Il englobe diverses catégories de transistors tels que les transistors bipolaires et les transistors à effet de champ. Au sein de ce chapitre, nous examinons spécifiquement deux variétés de transistors MOSFET en analysant la configuration de ce composant, son principe de fonctionnement, ainsi que plusieurs modes opérationnels. De plus, nous allons exposer certaines classifications particulières pour l'un de ces deux types.

1.2 Evolution de la technologie CMOS

Au cours des 30 dernières années, la microélectronique a connu un développement spectaculaire grâce à une expertise croissante dans le domaine du silicium et du transistor MOS. Ce composant clé a propulsé la technologie CMOS (Complementary MOS) au premier plan de l'industrie des semi-conducteurs, permettant la conception de circuits de plus en plus complexes. Les améliorations constantes des transistors MOS, caractérisées par des dimensions réduites, ont alimenté la recherche de performances accrues, stimulant ainsi l'innovation dans l'industrie [1].

En 1973, Gordon Moore, l'un des co-fondateurs d'Intel, a remarqué que le nombre de transistors intégrés sur une puce doublait environ tous les 18 mois. Cette observation l'a amené à prédire que cette tendance de doublement se poursuivrait jusqu'à ce que les contraintes physiques soient atteintes. Cette prédiction, vérifiée au cours des 30 dernières années, est maintenant connue sous le nom de "Loi de Moore". Les progrès réalisés sont illustrés dans la figure (1.1). Aujourd'hui, des circuits intégrés (CI) contenant plus de 40 millions de transistors sont produits en masse, notamment les microprocesseurs. La longueur de grille des transistors utilisés pour ces dernières générations de microprocesseurs est de $0.1\mu\text{m}$, tandis que la taille de la puce varie de 80 à 150 mm^2 . En fait, la réduction de la longueur de grille présente deux avantages majeurs pour les fabricants : elle réduit la surface de silicium nécessaire pour la puce tout en maintenant la puissance, ce qui est économiquement avantageux, et elle permet également d'augmenter la fréquence des circuits, car celle-ci est inversement proportionnelle à la longueur de grille [1].

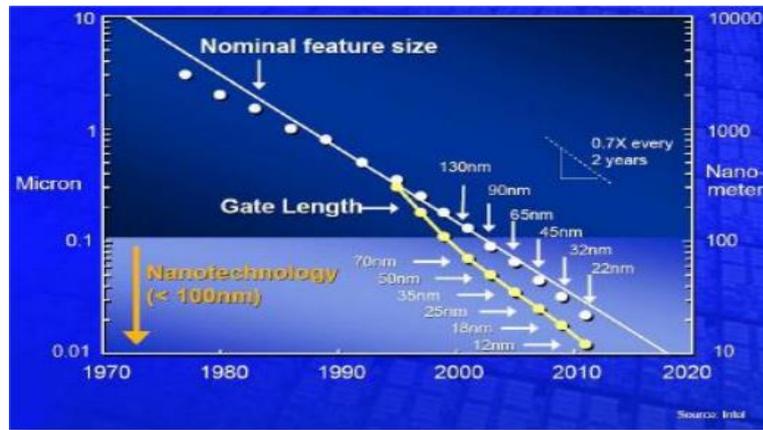


Figure 1.1 : Réduction d'échelle de la technologie CMOS, en accord avec la loi de Moore [1].

1.3 Introduction aux transistors MOSFET

Jusqu'à maintenant, le transistor MOSFET demeure le composant primordial de l'industrie des circuits intégrés (CI). Sa taille diminue régulièrement, environ deux fois plus petit tous les deux ans, comme prédit par la loi de Moore. Sa consommation d'énergie diminue aussi à chaque nouvelle version. On veut des composants plus rapides, qui consomment moins, et qu'on peut mettre en plus grand nombre sur une puce. Donc, les transistors sont passés de gros morceaux à de tout petits éléments. Mais maintenant, le transistor MOSFET classique ne peut plus rétrécir sans problèmes. Des ennuis, appelés "effets canaux courts", apparaissent quand il devient trop petit, et ça le rend inutile pour sa fonction de départ. Alors, on cherche d'autres technologies [2].

1.4 Les transistors MOSFET sur substrat massif

1.4.1 Structure du Transistor MOS Bulk

Le transistor MOS à canal N (ou standard) se compose d'un substrat semi-conducteur sur lequel est déposée une fine couche isolante d'oxyde de silicium (SiO_2) ayant une épaisseur de l'ordre de t_{ox} . Une couche conductrice (métallique ou de poly silicium fortement dopé), désignée sous le nom d'électrode de grille, est également posée sur l'oxyde. Ensuite, des zones fortement dopées et profondes, nommées source et drain avec une profondeur X_j , sont créées dans le substrat de part et d'autre de la grille. Une représentation basique du transistor nMOS est visible dans la figure (1.2). En raison du processus de fabrication, la grille, d'une longueur L_g , couvre partiellement les régions source et drain. L'espace situé entre les jonctions source et drain est identifié comme la région de canal, caractérisée par sa longueur L et sa largeur W .

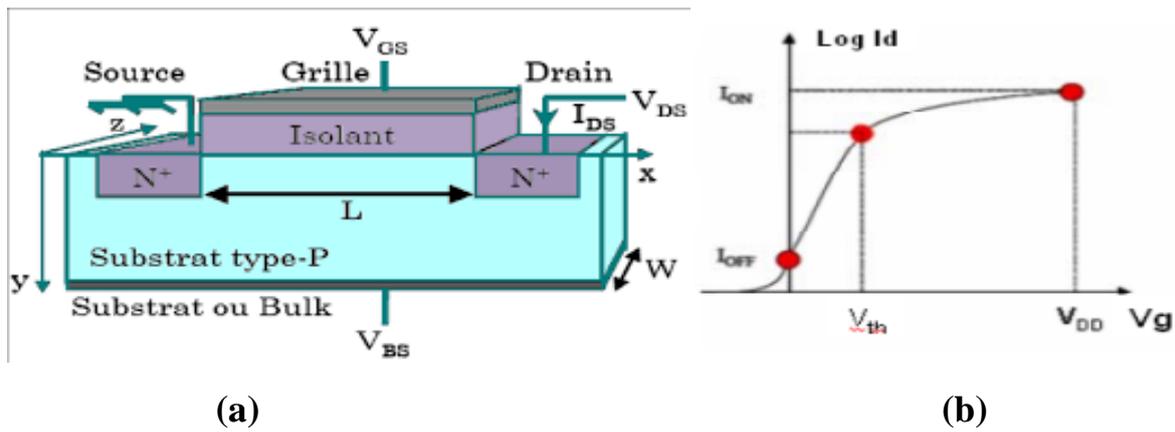


Figure 1.2: a) Représentation schématique d'un transistor nMOS sur silicium massif, b) Caractéristique de sortie I_d (V_g) d'un transistor nMOSFET.

La zone active du transistor se trouve entre la source et le drain, près de l'interface oxyde-semi-conducteur. En appliquant une tension entre la grille et le substrat (V_{gb}), un champ électrique est créé dans le substrat. Lorsque V_{gb} est suffisamment élevée, cela forme un canal de conduction à l'interface entre l'oxyde et le semi-conducteur [3].

Ce transistor est composé de deux régions de charge : le drain et la source, séparée par un chemin de conduction où une barrière de potentiel est établie. La hauteur de cette barrière est ajustée par la tension appliquée à la grille. Si cette hauteur est élevée, les porteurs de charge ne peuvent pas se déplacer de la source vers le drain, ce qui bloque le transistor. Cependant, si la hauteur est basse, un canal se forme à l'interface du semi-conducteur isolant, figure (1.2-a). ce qui rend le transistor conducteur. En appliquant une tension au drain, un champ électrique est créé latéralement, facilitant le déplacement des porteurs de charge de la source vers le drain. C'est ce qu'on appelle la polarisation du drain [4].

Le transistor facilite la transition entre un état bloqué ($V_g = 0V$), où le courant de drain équivaut au courant de fuite I_{OFF} , et un état actif (passant). Dans cet état actif, la polarisation de la grille V_g est alignée avec celle du drain V_d ($V_g = V_d = V_{DD}$), ce qui permet au courant de drain de circuler (I_{ON}), comme illustré dans la figure (1.2-b). Ce changement d'état se produit lorsque le canal contient suffisamment de porteurs, c'est-à-dire lorsque la tension de grille V_g dépasse une valeur critique appelée tension de seuil (V_{th}) [5].

1.4.2 Principe de fonctionnement

En général, le transistor MOS agit comme un dispositif qui remplit la fonction d'un interrupteur en autorisant ou en restreignant le passage du courant à travers le canal entre la source et

le drain. La structure MOS (Métal/Oxyde/Semi-conducteur) est une superposition de trois couches, comprenant une grille, un isolant et un semi-conducteur. Le principe fondamental de cette technologie repose sur ce qu'on nomme l'effet de champ, qui ajuste de manière électrostatique la densité des charges mobiles traversant le semi-conducteur, comme illustré dans la figure (1.3).

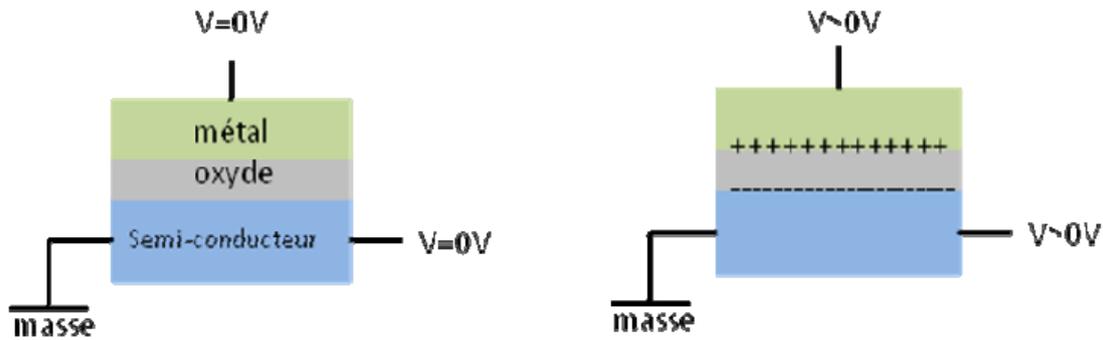


Figure 1.3 : L'effet du champ sur la structure MOS.

La conductivité du silicium, similairement à d'autres semi-conducteurs, repose sur la présence de porteurs libres dans la bande de conduction (électrons) ou la bande de valence (trous). L'ajustement de la tension sur la grille permet de moduler ces quantités en surface, près du diélectrique, créant ainsi une capacité MOS.

Pour créer un transistor MOS, on insère de chaque côté de la grille des régions de silicium fortement dopées, servant de réservoirs de porteurs. Le canal est dopé avec un type contraire à celui de la source et du drain (dans le cas d'un transistor à enrichissement). Lorsqu'aucune polarisation de grille n'est appliquée, sa résistance est élevée, ce qui conduit à une grande résistance entre la source et le drain, laissant le transistor dans un état bloqué. En ajustant la polarisation de grille de manière adéquate, le canal se remplit de porteurs minoritaires du même type que ceux majoritaires dans la source et le drain, mais de polarité opposée au dopage du canal. Ceci diminue significativement la résistance du canal, permettant au transistor de conduire. Ainsi, dans un transistor à canal n (NMOS), les sources et le drain agissent comme réservoirs d'électrons, et le transistor fonctionne lorsque le canal est enrichi en électrons.

Le transistor MOS peut être divisé en trois composantes principales : l'électrode de grille, les électrodes de source et de drain, ainsi que le canal de conduction qui les relie (figure 1.3).

La tension appliquée à la grille, V_g , facilitera la génération de la charge d'inversion dans le canal, tandis que la tension ($V_{ds} = V_d - V_s = V_d$), agira pour déplacer ces charges sous l'influence du champ électrique imposé entre la source et le drain [6].

- MOS : état bloqué

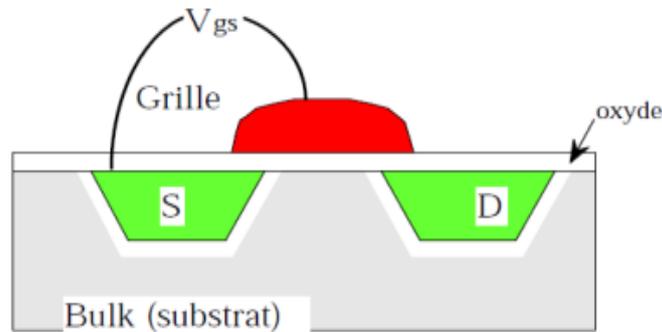


Figure 1.4 : état bloqué de transistor MOS.

Quand V_{gs} est inférieur à V_{th} (la tension de seuil qui dépend du dopage et de l'épaisseur d'oxyde), le transistor est désactivé (bloqué). Son tout petit courant de conduction est exploité dans les dispositifs à faible puissance.

- MOS : état passant

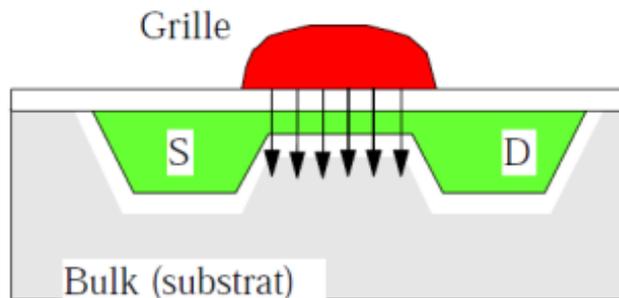


Figure1.5 : état passant de de transistor MOS.

Si la tension V_{gs} dépasse V_{th} (tension seuil), le transistor devient conducteur. Les charges positives sont repoussées vers le bas tandis que les charges négatives (électrons) sont attirées vers le haut, s'accumulant sous la grille. Cela entraîne une inversion et la formation d'un canal conducteur. Lorsque le champ électrique augmente, la densité des charges augmente également, et la profondeur du canal s'accroît. Les charges disponibles croissent en proportion du carré du champ électrique.

- MOS : état saturé

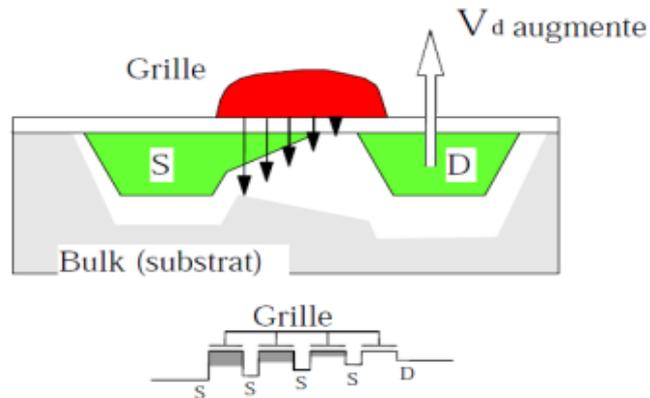


Figure1.6 : état saturé de transistor MOS.

Lorsque la tension V_d est augmentée de manière significative, V_{gd} se trouve réduit en dessous de V_{th} , provoquant ainsi le blocage du MOS du côté du drain. À mesure que la tension V_d continue d'augmenter, la résistance du MOS augmente proportionnellement. En conséquence, le courant se stabilise à une valeur constante, ce qui correspond à ce que l'on appelle le mode de saturation du MOS [7].

1.4.3 Avantages de MOS massif (bulk)

Le transistor MOSFET Bulk présente plusieurs avantages par rapport à d'autres types de transistors tels que le bipolaire. Voici quelques-uns des avantages les plus couramment cités [8]:

- Faible courant de grille : le MOSFET a une capacité élevée de stockage de charge, ce qui signifie que la tension de grille ne nécessite qu'un faible courant pour activer ou désactiver le transistor.
- Faible consommation d'énergie : grâce à son faible courant de grille, le MOSFET consomme moins d'énergie que les autres types de transistors.
- Haute impédance d'entrée : le MOSFET a une impédance d'entrée élevée, ce qui le rend idéal pour une utilisation dans des circuits d'amplification de signaux.
- Grande vitesse de commutation : en raison de sa capacité de stockage de charge, le MOSFET peut basculer rapidement entre les états on et off, ce qui le rend idéal pour une utilisation dans des applications de commutation.
- Haute densité d'intégration : en raison de sa petite taille, le MOSFET peut être intégré à haute densité dans les circuits électroniques.

1.4.4 Inconvénients de MOS massif (Bulk)

Bien que les transistors MOSFET Bulk aient de nombreux avantages qu'on a cités avant, ils présentent également certains inconvénients tels que [8]:

- Capacité de grille importante : En raison de la grande surface de la grille, la capacité de grille est élevée, ce qui peut entraîner des problèmes de commutation tels que des temps de montée et de descente plus longs.
- Sensibilité à la tension de seuil : Les MOSFETs bulk sont sensibles aux variations de la tension de seuil, ce qui peut entraîner des variations de performances et une complexité accrue de la conception.
- Effets de charges d'espace : Dans les MOSFETs bulk, des charges peuvent s'accumuler dans la zone de déplétion, ce qui peut entraîner des effets de charges d'espace qui réduisent les performances du dispositif.
- Dérive thermique : Les MOSFETs bulk peuvent subir des effets de dérive thermique, ce qui peut entraîner des variations de performances en fonction de la température ambiante.
- Capacité de sortie importante : La capacité de sortie des MOSFETs bulk est généralement plus élevée que celle des MOSFETs de jonction, ce qui peut entraîner une consommation d'énergie accrue et des problèmes de commutation.

1.5 Les transistors MOS sur substrat SOI (silicium sur isolant)

Comme son nom l'indique, le transistor MOS SOI est construit sur un substrat SOI (figure 1.7). Ce substrat est composé d'une fine couche de silicium situé au-dessus d'une couche d'oxyde appelée oxyde enfoui BOX.

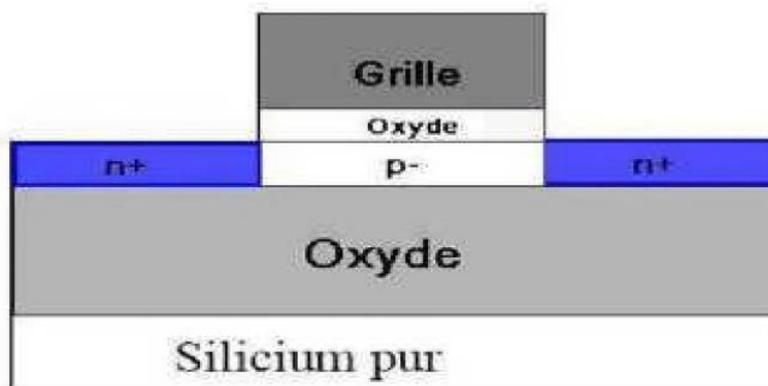


Figure 1.7: structure d'un transistor (simple grille) SOI de type n [9].

Le transistor SOI utilisant un film mince ou ultra mince présente une particularité : la zone située juste en dessous de la grille du transistor, où se forme le canal de conduction, reste inaccessible et donc non polarisée. Cette zone est désignée sous le terme "body" en SOI, afin d'éviter toute confusion avec le substrat mécanique sous-jacent à l'oxyde enterré. Grâce à son isolement électrique, le transistor SOI donne naissance à un phénomène connu sous le nom "d'effet de substrat flottant". Le body s'auto polarise sous l'influence des divers mécanismes physiques pouvant se manifester dans le transistor, ainsi que des signaux électriques qui lui sont transmis [9].

1.5.1 Les substrats SOI

Le processus de fabrication des composants sur SOI est similaire à celui sur substrat massif, sauf pour les substrats de départ. Au début, les dispositifs étaient créés sur SOS (« Silicon On Sapphire ») avec succès jusqu'aux années 90, notamment pour les circuits intégrés (microprocesseurs, mémoires...).

Actuellement, SOS est utilisé pour des applications analogiques, RF et résistantes aux radiations. D'autres matériaux comme la zircone (ZrO_2), diamant, le fluorure de calcium (CaF_2) et le dioxyde de silicium (SiO_2) ont été utilisés, mais SiO_2 est le plus courant pour sa compatibilité avec le silicium. SOI implique un substrat avec une couche enterrée de SiO_2 . Plusieurs méthodes comme ZMR (« Zone Melt Recrystallisation »), ELO (« Epitaxial Lateral Overgrowth ») et FIPOS (« Full Isolation by Porous Oxidized Silicon ») ont été développées pour créer ces substrats, mais sans grande adoption industrielle [10].

1.5.2 Les différents types de transistors MOSFET SOI

Les transistors SOI peuvent être divisés en deux catégories selon l'épaisseur de la zone non occupée du film de silicium. Cette épaisseur est déterminée par la formule suivante :

$$X_{d_{max}} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \Phi_F}{q \cdot N_a}} \quad (1.1)$$

Avec :

- Φ_F est le potentiel de fermi du silicium,
- N_a est la concentration de dopage dans la région P (Cas du NMOS),
- ϵ_{Si} est la permittivité du silicium,
- q est la charge d'un électron.

Si l'épaisseur du film de silicium est supérieure à d_{max} (ce qui correspond au MOSFET sur un substrat massif), le transistor est classé comme partiellement déserté PDSOI (Dans le cas contraire, lorsque l'épaisseur est inférieure à d_{max} , le transistor est considéré comme entièrement déserté FDSOI. Les caractéristiques électriques diffèrent dans ces deux situations distinctes [10].

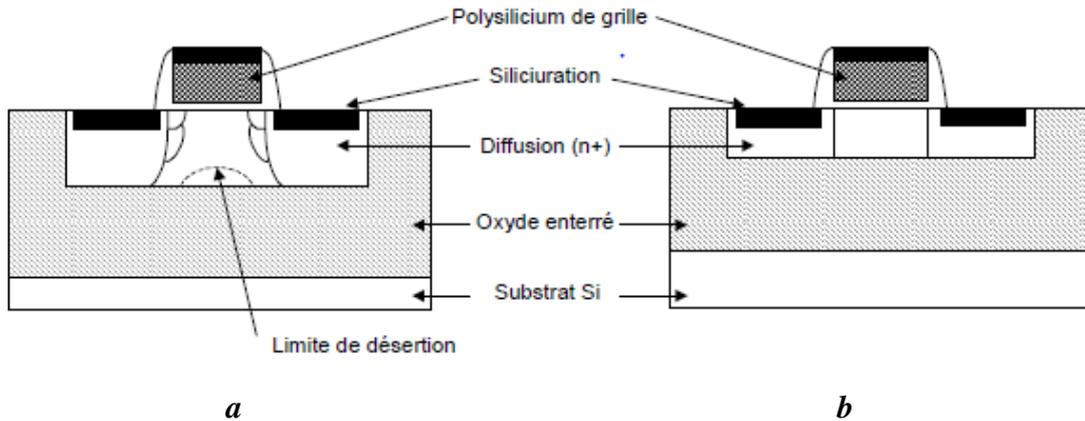


Figure 1.8: Représentation schématique d'un transistor SOI : (a) partiellement déserté et (b) entièrement déserté .

1.5.2.1 Transistors MOSFET PD SOI (partiellement déserté)

L'épaisseur du film de Silicium t_{si} est plus grande que l'extension maximale de la zone désertée. C'est à dire $t_{si} > 2X_{d_{max}}$. Ainsi, il n'y a pas d'interactions entre les zones de déplétion étendues depuis les interfaces avant et arrière, ce qui donne lieu à l'émergence d'une zone de Silicium neutre.

Lorsque cette section non déplétée, appelée 'Body', est reliée à la masse, les caractéristiques des dispositifs seront similaires à celles des dispositifs à Silicium massif.

Ces dispositifs sont désignés sous le nom de 'Body- Contacted ', où la structure T possède une seule prise, tandis que la structure H en a deux.

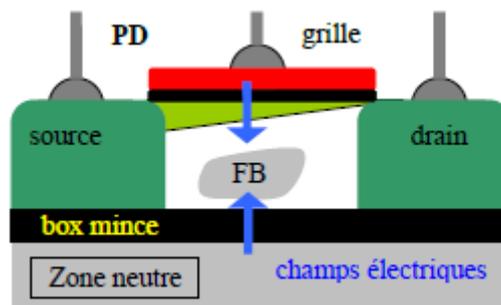


Figure 1.9: Représentation schématique d'un transistor MOS PD SOI.

En revanche, si le film mince est laissé électriquement flottant (Figure 1.10) sans connexion au substrat (*Floating Body*), certains effets spécifiques se manifestent en relation avec cette zone neutre, notamment l'effet Kink et le transistor bipolaire parasite [11].

1.5.2.2 Transistors MOSFET FD SOI (complètement déserté)

Si le film à base de Silicium (Si) présente une épaisseur inférieure à $X_{d_{max}}$, il entrera en déplétion complète lorsqu'il atteindra un seuil critique (représenté dans la figure 1.11). Dans ce contexte, le Silicium sur Isolant (SOI) ne démontrera pas l'effet de flottement de substrat en raison de l'épuisement total engendré et d'un couplage capacitif entre les interfaces avant et arrière. L'effet de couplage est particulièrement perceptible au niveau de la tension de seuil, qui n'est plus uniquement fonction du potentiel de grille avant, mais dépend également de la face arrière. Ces dispositifs présentent des caractéristiques électriques remarquables pour la conception de circuits intégrés fonctionnant à basse tension d'alimentation. Il est à noter que la tension de seuil de l'appareil est hautement sensible aux variations de l'épaisseur de silicium, ce qui peut représenter un défi en termes de contrôle [11].

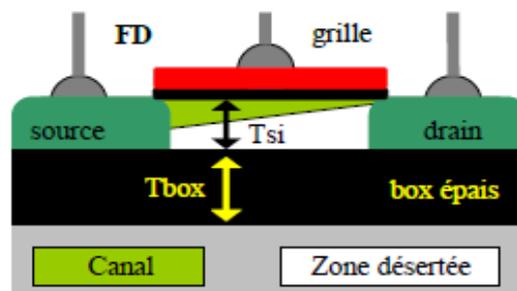


Figure 1.10: Représentation schématique d'un transistor MOS FD SOI.

1.5.2.3 Transistor FinFET

Le premier modèle de transistor du transistor FinFET, élaborée sur le substrat SOI, a été rendue publique en 1989. Le FinFET possède un canal de silicium extrêmement fin et est incliné à un angle de 90° par rapport à la surface plane, créant ainsi une "ailette" (d'où le nom en anglais, "Fin") (voir figure 1.12). La grille enveloppe le canal sur ses trois côtés. Par conséquent, la grille exerce un contrôle accru sur le canal, permettant une meilleure gestion des effets de canal court et de pontage sous seuil.

Ce transistor est reconnu pour améliorer l'intégrité électrostatique, la rapidité et la génération de courant élevé, tout en réduisant les problèmes de seuil. INTEL a été en avant en introduisant le

FinFET 3D à trois grilles en 2012. Néanmoins, le FinFET présente des défis de complexité et de fabrication, car le Fin doit être étroit et uniforme, tout en étant entouré d'un diélectrique de grille de tous côtés et angles. De plus, la largeur réduite du Fin rend le transistor FinFET très sensible, entraînant des fluctuations dans la tension de seuil. En outre, la géométrie du FinFET est vulnérable à des couplages parasites additionnels. Bien que le FinFET puisse dominer les futures générations de CMOS, son architecture en 3D entraîne des coûts de fabrication élevés. Ainsi, pour les applications mobiles, des dispositifs comme les UTBB FD-SOI offrent une consommation énergétique réduite et préservent la loi de Moore [12].

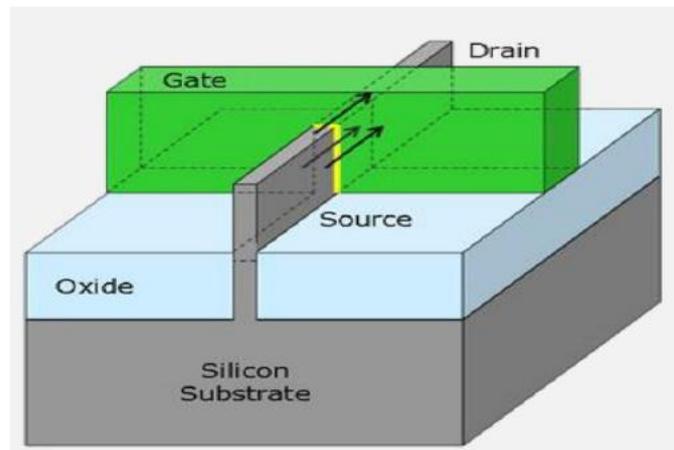


Figure 1.11: Schéma de La structure du transistor FinFET [12].

1.5.2.4 Transistor UTBB FD-SOI

Les transistors UTBBFD-SOI (*Ultra Thin Body Fully Depleted- silicon-on-insulator*) utilisent une fine couche de silicium et d'oxyde d'entrée BOX ultra-mince comme illustré dans la figure 1.12. Ils sont favorables pour les puces inférieures à 20nm grâce à leur maîtrise électrostatique et à une couche dopée réduisant le couplage du substrat, tout en permettant plusieurs tensions de seuil V_{th} . Contrairement aux FinFET, l'UTBB FD-SOI est simple à fabriquer en restant une technologie plane.

Cette conception à faible consommation convient aux circuits numériques portables, mais n'est pas adaptée aux systèmes analogiques hauts fréquence et forte puissance. C'est pourquoi le transistor HEMT (*High Electron mobility transistor*) en GaN a gagné en importance [12].

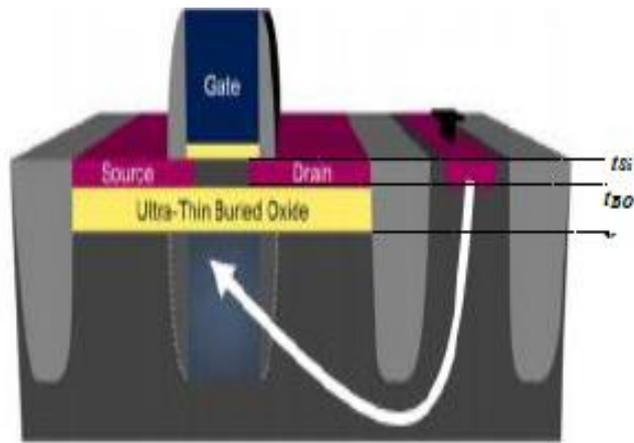


Figure 1.12: Schéma de la structure simplifiée de transistor UTBB FD-SOI [12].

1.6 Conclusion

Dans ce chapitre nous avons exploré les différents types de transistors à effet de champs MOSFET, en mettant l'accent sur les transistors MOS Bulk (substrat massif) et MOSFET SOI.

Ensuite nous avons examiné la structure de ces transistors, ainsi que les avantages et les inconvénients du MOS Bulk.

A la fin nous avons étudié également les principaux types des transistors SOI (partiellement et entièrement déserté, transistor FinFET, transistors UTBBFD-SOI).

Chapitre 2 :

Extractions des éléments d'un circuit équivalent petit-signal de transistor MOSFET

2.1 Introduction

Le transistor MOSFET est un composant essentiel de l'électronique moderne, utilisé dans une variété d'applications. Pour analyser son comportement linéaire, il est nécessaire d'extraire les paramètres d'un circuit équivalent petit-signal du transistor. Ce circuit permet de représenter les caractéristiques dynamiques du transistor. Ce chapitre se concentre sur l'extraction des paramètres du circuit équivalent à petit signal du transistor MOSFET, une étape cruciale pour modéliser avec précision ce composant électronique. De plus nous discuterons les différentes techniques d'extraction qui permettent d'obtenir les valeurs des paramètres petit signal.

2.2 Modélisation analytique des transistors MOSFET

La modélisation analytique des transistors MOSFET est une approche mathématique qui permet de décrire le comportement électrique des transistors MOSFET en utilisant des équations analytiques. Cette modélisation est basée sur la théorie du champ électrique et sur les caractéristiques géométriques et électriques du transistor.

L'objectif principal de la modélisation analytique est de déterminer les paramètres électriques du transistor, tels que la tension de seuil, la transconductance, la résistance de drain-source, la capacité de grille, etc. Ces paramètres sont essentiels pour concevoir des circuits électroniques basés sur des transistors MOSFET [13].

2.3 Modélisation petit signal de transistor MOSFET

Les transistors MOSFETs nécessitent une modélisation en petit signal et en courant continu qui implique plusieurs étapes pour reproduire les phénomènes physiques et électriques qui les régissent. Dans notre cas, nous avons choisi de baser notre modélisation sur des données existantes, notamment les caractéristiques DC et basse fréquence, en utilisant une approche empirique ou phénoménologique.

Pour obtenir une bonne précision dans l'extraction des composants intrinsèques et extrinsèques du schéma équivalent, nous avons utilisé une technique d'extraction totalement analytique fondée sur la caractérisation statique courant-tension de transfert. Cette méthode consiste à placer le transistor sous certaines circonstances de polarisation particulières afin de simplifier les calculs. Ainsi, nous avons pu déterminer les éléments de la partie extrinsèque dans une première étape, avant de déduire analytiquement les paramètres de la partie intrinsèque en utilisant différentes fonctions mathématiques [14].

2.4 Méthodologie suivie pour l'extraction des éléments du model électrique petit signal (linéaire)

Nous allons maintenant présenter une méthode générale pour extraire tous les éléments du schéma équivalent petit signal. Cette méthode repose sur des mesures en hyperfréquence en régime linéaire. En utilisant des méthodes analytiques directes, il est possible de déterminer chaque élément du modèle. La procédure d'extraction est représentée de manière schématique dans l'organigramme présenté à la figure (2.1).

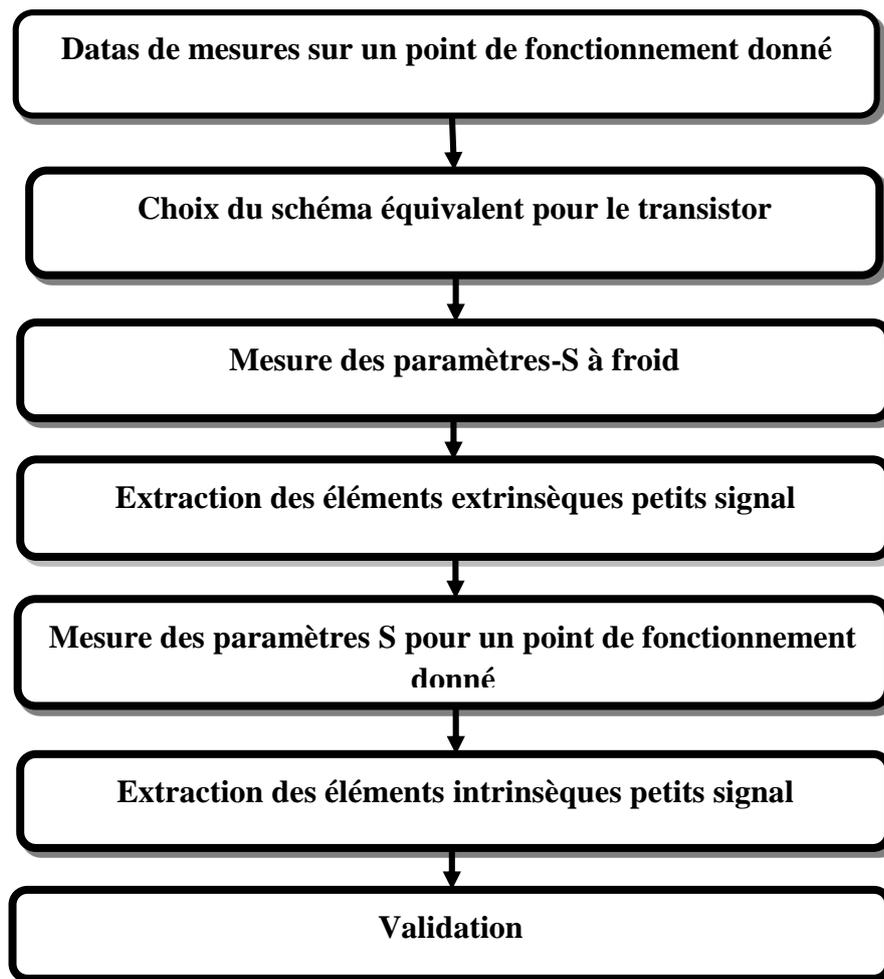


Figure 2.1 : Organigramme des étapes à suivre suivie pour l'extraction des éléments du schéma équivalent à petit signal et sa validation [12].

2.5 Extraction du circuit équivalent petit-signal du transistor MOSFET

2.5.1 Schéma équivalent petit signal

Le choix de la topologie du circuit équivalent est crucial pour l'extraction d'un schéma équivalent. Nous avons opté pour un schéma équivalent petit signal largement utilisé dans la littérature (Figure 2.2). Ce schéma est défini selon une approche non-quasi statique et inclut des éléments intrinsèques

et extrinsèques. Le transistor à effet de champ se compose de deux parties principales : la partie intrinsèque (le canal) et la partie extrinsèque (les éléments parasites des zones d'accès). Le schéma équivalent petit signal du MOSFET suppose que ces derniers sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor [12].

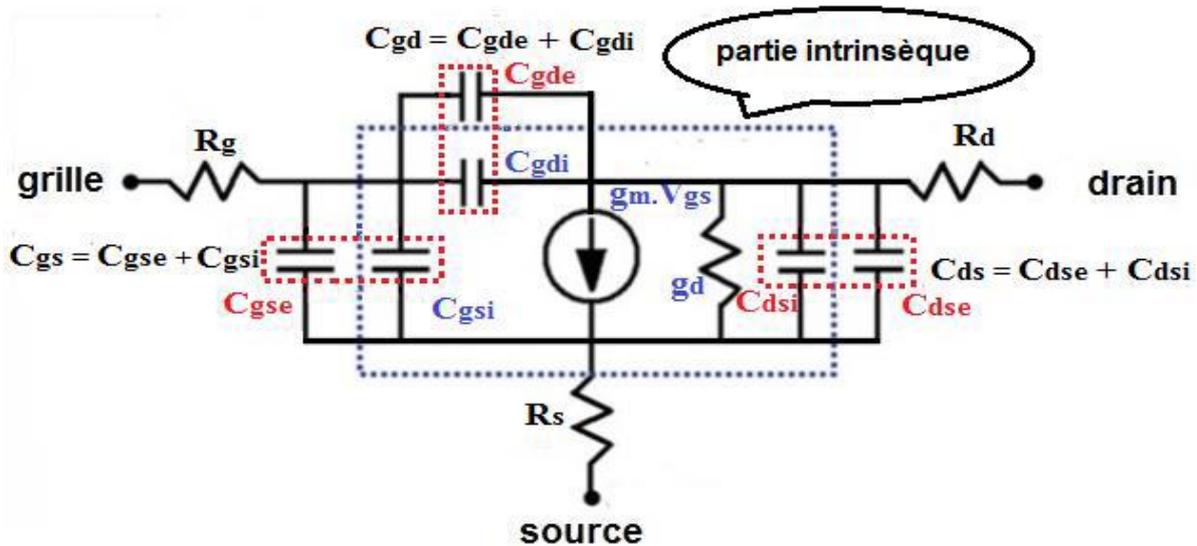


Figure 2.2: schéma équivalent à petit signal du transistor MOSFET [12].

2.5.2 Extraction des éléments extrinsèque

Les éléments extrinsèques du transistor sont des éléments parasites qui ne sont pas inclus dans le carré pointillé de la Figure (2.2). Ils devraient rester indépendants aux polarisations et au mode de fonctionnement [12]. La résistance R_g correspond à la résistance de siliciuration de la grille qui est répartie sur toute la largeur de la grille, tandis que les résistances R_s et R_d modélisent la résistivité des caissons de source et de drain fortement dopés. Les inductances L_{ge} , L_{de} et L_{se} modélisent la réactivité des contacts métalliques. Les capacités C_{gse} , C_{gde} et C_{dse} sont les capacités relatives aux bords et au chevauchement, tandis que C_{dp} et C_{gp} elles correspondant à des capacités électrostatiques indésirables liées aux plots de métallisation de grille et de drain par rapport au substrat [12].

2.5.3 Extractions des éléments intrinsèque

La zone active du transistor à effet de champ, est l'endroit où se produit l'effet transistor. Dans cette partie, tous les éléments sont considérés comme étant indépendants des conditions de polarisation (régime petit-signal), à l'exception des conductances du transistor. La transconductance g_m , qui exprime le mécanisme d'amplification, est spécifiquement liée aux conductances du transistor définie par :

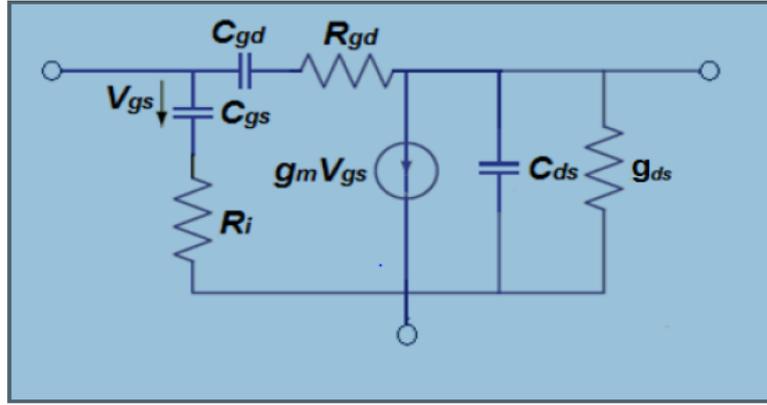


Figure 2.3: Schémas équivalent petit signal de la partie intrinsèque [12].

$$g_m = \left. \frac{\delta q \cdot I_{ds}(V_{gs}, V_{ds})}{\delta V_{gs}} \right|_{V_{ds} = C_{cste}} \quad (2.1)$$

La conductance de sortie g_d représente la variation du courant de drain en fonction de la tension pour une polarisation de grille constante. Elle est défini par :

$$g_d = \left. \frac{\delta q \cdot I_{ds}(V_{ds}, V_{gs})}{\delta V_{ds}} \right|_{V_{gs} = C_{cste}} \quad (2.2)$$

Dans les équations (2.1) et (2.2), I_{ds} est le courant circulant entre le drain et la source du transistor et dépend des potentiels V_{gs} et V_{ds} .

La capacité C_{ds} correspond aux capacités en série des jonctions de source et de drain. Elle est définie par la relation suivante :

$$C_{dsi} = \left. \frac{\delta Q_d(V_{gs}, V_{ds})}{\delta V_{ds}} \right|_{V_{gs} = C_{cste}} \quad (2.3)$$

Q_d est la charge accumulée sous l'électrode de drain. Les capacités C_{gs} et C_{gdi} sont liées respectivement à la variation de la charge stockée sous la grille en fonction des tensions V_{gs} et V_{gd} .

Elles sont définies par :

$$C_{gsi} = \left. \frac{\delta Q_g(V_{gs}, V_{ds})}{\delta V_{ds}} \right|_{V_{ds} = C_{cste}} \quad (2.4)$$

$$C_{gdi} = \left. \frac{\delta Q_{ds}(V_{ds}, V_{gs})}{\delta V_{ds}} \right|_{V_{gs} = C_{cste}} \quad (2.5)$$

Les effets non quasi-statiques sont pris en compte par les résistances R_i et par la constante τ , introduisant un retard entre l'application de la tension de commande V_{gs} et son effet sur le courant I_{ds} [15].

2.5.4 Validation

La validation est une étape importante dans la modélisation d'un transistor, son objectif est de s'assurer que ce dernier est fiable et fonctionne comme prévu dans le circuit intégré final. Il existe plusieurs moyens pour vérifier la qualité des méthodes d'extraction et la validité du schéma équivalent, les deux moyens couramment utilisés sont la vérification de l'invariance des éléments intrinsèques avec la fréquence et la comparaison entre les mesures et les résultats de simulation en utilisant l'abaque de Smith. Il est important de comparer les résultats dans différents points de polarisation pour valider le modèle. D'autres moyens de vérification incluent la comparaison de la transconductance en régime statique et en dynamique et la comparaison des fréquences de coupure et de maximum d'oscillation [12].

2.6 Méthodes d'extraction du circuit équivalent petit signal de transistor MOSFET

Étant donné la multitude de phénomènes physiques impliqués, il existe un grand nombre de méthodes qui ont été proposées pour modéliser le transistor à effet de champ. Dans cette section, nous allons examiner diverses méthodes d'extraction du schéma équivalent en petits signaux des transistors MOSFET. Nous commencerons par la méthode directe initiale (Cold FET), avant d'exposer les différentes autres méthodes appliquées sur ce type de transistor [12].

2.6.1 Méthode de polarisation à froid (Cold FET)

Cette méthode repose sur la mesure des paramètres S d'un transistor polarisé de manière à ce que les éléments externes ne soient pas obscurcis par les éléments intrinsèques.

Comme son nom l'indique, tous les états de polarisation sont mesurés avec une tension de drain nulle [16].

- Lorsque le canal du transistor est en conduction, l'effet résistif du canal prédomine, ce qui permet de déterminer les valeurs des composants en série des éléments externes en appliquant une tension de grille V_{gs} supérieure à V_{th} (tension de seuil).
- Lorsque le canal du transistor est pincé (pinched-off), l'effet prédominant est l'effet capacitif, ce qui permet d'accéder aux valeurs des composants en parallèle des éléments externes en appliquant une tension de grille $V_{gs} \ll V_{th}$ [16].

2.6.2 Méthode de Raskin

Cette technique polarise le MOSFET en saturation ou au point de polarisation d'intérêt, avec $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$. Dans cette condition, le dispositif est asymétrique et son circuit équivalent est tel qu'illustré dans la figure 2.5. Le circuit équivalent à petits signaux en régime de saturation est obtenu en utilisant les paramètres Z, dont les parties réelles peuvent être exprimées comme suite:

$$Re(Z_{12}) = R_{se} + \frac{A_s}{\omega^2+B} \quad (2.6)$$

$$Re(Z_{22} - Z_{12}) = R_{de} + \frac{A_d}{\omega^2+B} \quad (2.7)$$

$$Re(Z_{11} - Z_{12}) = R_{ge} + \frac{A_g}{\omega^2+B} \quad (2.8)$$

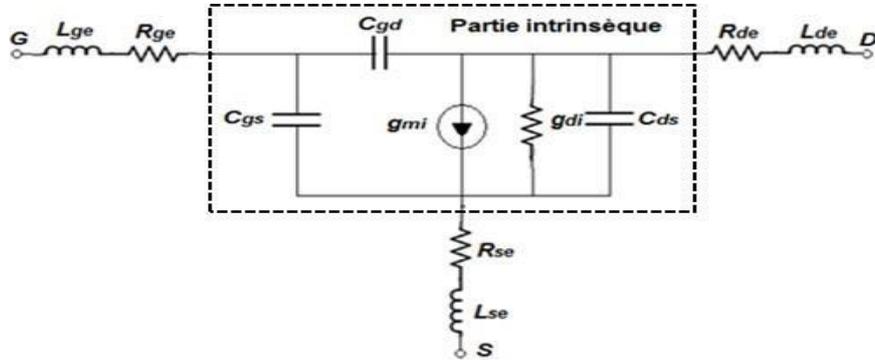


Figure 2.4 : Circuit équivalent petit signal en régime de saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$.

Ainsi, les résistances extrinsèques en série R_{ge} , R_{se} et R_{de} sont obtenues respectivement en utilisant les tracés paramétriques des formes suivantes :

La paire $\{R_e [Z_{\sigma\pi12}(\omega)], R_e [Z_{\sigma\pi21}(\omega)]\}$ permet de d'établir la résistance de source R_{se} ,
 la paire $\{R_e [Z_{\sigma\pi11}(\omega)], R_e [Z_{\sigma\pi21}(\omega)]\}$ permet d'établir de la résistance de grille R_{ge} et
 la paire $\{R_e [Z_{\sigma\pi22}(\omega)], R_e [Z_{\sigma\pi21}(\omega)]\}$ permet de d'établir la résistance de drain R_{de} [17].

2.6.3 Méthode de Bracale

Pour cette approche, le transistor MOS mis en polarisation d'inversion c'est-à-dire à $V_{gs} > V_{th}$ et $V_{ds} = 0v$. Dans de telles conditions, la transconductance intrinsèque disparaît. En outre, à $V_{ds} = 0v$ le transistor devient symétrique, ce qui implique que $C_{gs} = C_{gd} = C$. en conséquence le transistor peut être simplifié dans un circuit équivalent, comme illustré dans la figure 2.6 [18].

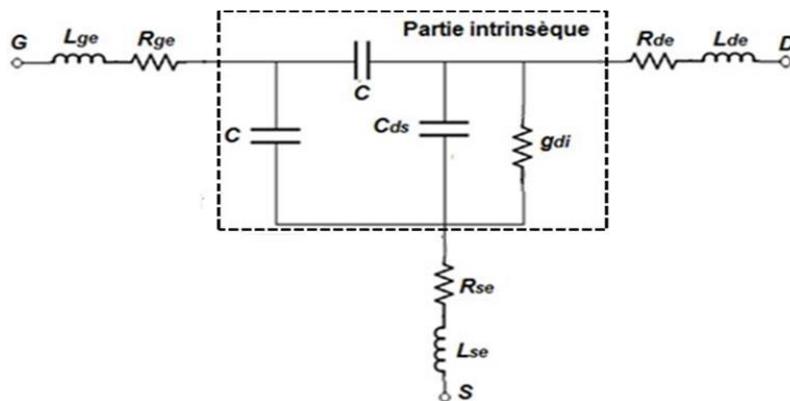


Figure 2.5 : Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0 V$ [18].

On considèrera que $C + 2CC_{ds} \ll 2g_{di}/\omega$ et que la mobilité reste constante pour chaque V_{gs} . Les composantes réelles des paramètres Z des éléments du circuit équivalent de la figure 2.6 peuvent se mettre sous la forme suivante [18].

$$Re(Z_{22} - Z_{12}) = R_{de} + \frac{1}{2K(V_{gs}-V_T)} \quad (2.9)$$

$$Re(Z_{12}) = R_{se} + \frac{1}{2(V_{gs}-V_T)} \quad (2.10)$$

$$Re(Z_{11} - Z_{12}) = R_{ge} + \frac{1}{4K(V_{gs}-V_T)} \quad (2.11)$$

Où $K = \mu \left(\frac{W}{L}\right)C_{ox}$, μ et C_{ox} représentent respectivement la mobilité et la capacité d'oxyde de grille normalisée tandis que W et L représentent respectivement la largeur et la longueur du canal du transistor MOS. Les résistances série sont finalement obtenues en identifiant les points d'intersection des courbes représentant les parties réelles des paramètres Z en fonction de $1/(V_{gs}-V_{th})$. Quant aux parties imaginaires des paramètres Z , elles permettent de calculer les inductances L_{de} , L_{se} et L_{ge} . Elles sont données par :

$$Im(Z_{22} - Z_{12}) = L_{de} + \frac{C+2C_{ds}}{4K^2} \frac{1}{(V_{gs}-V_T)^2} \quad (2.12)$$

$$Im(Z_{12}) = L_{se} + \frac{C+2C_{ds}}{4K^2} \frac{1}{(V_{gs}-V_T)^2} \quad (2.13)$$

$$Im(Z_{11} - Z_{12}) = L_{ge} + \frac{C_{ds}(C+2C_{ds})}{4CK^2} \frac{1}{(V_{gs}-V_T)^2} - \frac{1}{2C\omega} \quad (2.14)$$

Ainsi, L_{de} et L_{se} sont obtenues par l'intersection des courbes qui correspondent aux parties imaginaires des paramètres Z en fonction de $(1/(V_{gs} - V_{th})^2)$. Dans le cas de L_{ge} , deux étapes sont nécessaires [6] :

- Une première régression linéaire de $Im(Z_{11}-Z_{12})$ en fonction de ω^2 pour différentes valeurs de V_{gs} .
- Une seconde régression linéaire de chaque intersection de l'étape précédente en fonction de $(1/(V_{gs} - V_{th})^2)$.

2.6.4 Méthode de Lovelace

Dans cette approche, le transistor MOSFET est mis en polarisation de déplétion ce qui signifie que ($V_{gs} \ll (V_{th} \text{ et } V_{ds} = 0V)$), dans de telles circonstances le transistor est se trouve à l'état OFF ce qui implique que ses composants intrinsèques deviennent négligeable. Le transistor peut alors être simplifié à l'aide d'un circuit équivalent tel que montré à la figure 2.6, à partir de ce circuit les parties réelle des relations d'impédance peuvent être écrites comme suites:

$$Re(Z_{11} - Z_{12}) = R_{ge} \quad (2.15)$$

$$Re(Z_{12}) = Im(Z_{21}) = R_{se} \quad (2.16)$$

$$Re(Z_{22} - Z_{12}) = R_{de} \quad (2.17)$$

En ce qui concerne aux parties imaginaires des impédances Z , elles sont représentées comme suite :

$$Im(Z_{11} - Z_{12}) = \omega^2 L_{ge} + C_A \quad (2.18)$$

$$Im(Z_{12}) = Im(Z_{21}) = \omega^2 L_{se} + C_B \quad (2.19)$$

$$Im(Z_{22} - Z_{12}) = \omega^2 L_{de} + C_C \quad (2.20)$$

C_A , C_B et C_C sont des valeurs qui dépendent des capacités extrinsèques C_{gse} , C_{gde} et C_{des} . Le tracé de la partie imaginaire multipliée par ω en fonction de ω^2 donne une fonction linéaire, où les pentes de chaque courbe correspondent aux inductances série respectives [19].

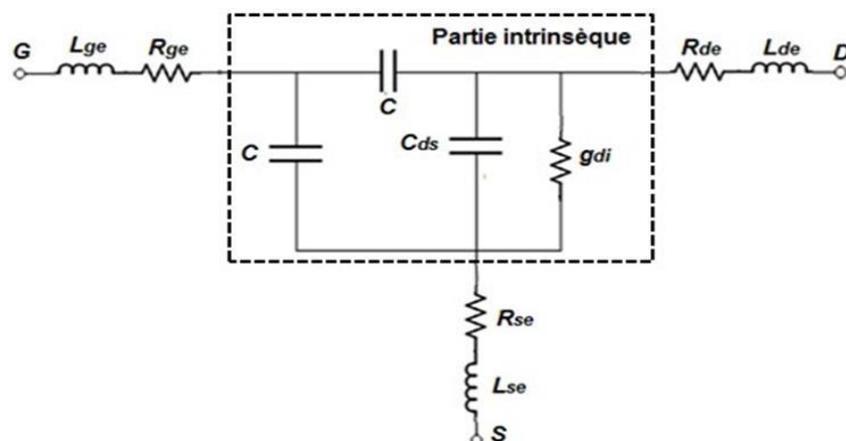


Figure 2.6: Circuit équivalent petit signal à $V_{gs} \ll V_{th}$ et $V_{ds} = 0$ V [19].

2.7 Extraction des capacités extrinsèque

Les capacités extrinsèques représentent les capacités parasites du transistor. L'extraction de ces dernières est réalisée en polarisant le MOSFET en déplétion ($V_{ds}=0V$ et $V_{gs}=0V$). Dans ce cas le circuit équivalent est comme suite :

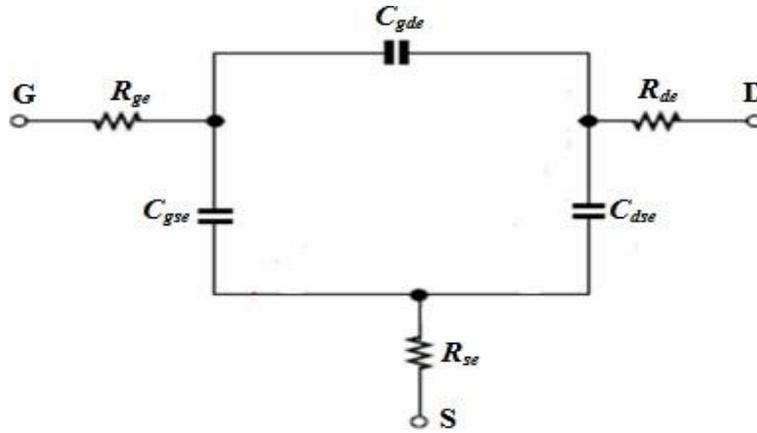


Figure 2.7 : Schéma équivalent petit signal du transistor MOS SOI à $V_{ds}=V_{gs}=0V$.

Les capacités parasites peuvent être directement obtenue à partir de la partie imaginaire des paramètres-Y et sont données par [17] :

$$C_{gse} = \frac{Im(Y_{11}+Y_{12})}{\omega} \quad (2.21)$$

$$C_{gde} = -\frac{Im(Y_{12})}{\omega} \quad (2.22)$$

$$C_{dse} = \frac{Im(Y_{22}+Y_{12})}{\omega} \quad (2.23)$$

2.8 Détermination des éléments intrinsèques

Une fois les capacités extrinsèques extraites, il est possible de déterminer la matrice intrinsèque (Y_{int}) en utilisant le schéma équivalent figure 2. 3. À partir de cette matrice, les paramètres intrinsèques peuvent être calculés en se référant aux expressions suivantes [17]:

$$C_{gsi} = \frac{1}{\omega Im(1/Y_{11}+Y_{12})} \quad (2.24)$$

$$C_{gdi} = -\frac{1}{\omega Im(1/Y_{12})} \quad (2.25)$$

$$C_{dsi} = \frac{Im(Y_{22}+Y_{12})}{\omega} \quad (2.26)$$

$$R_{gsi} = R_e \left(\frac{1}{(Y_{11}+Y_{12})} \right) \quad (2.27)$$

$$g_{di} = R_e(Y_{22} + Y_{12}) \quad (2.28)$$

$$g_{mi} = \left| \frac{Y_{21} + Y_{12}}{Y_{11} + Y_{12}} \right| \cdot \frac{1}{\text{Im}(1/Y_{11} + Y_{12})} \quad (2.29)$$

$$\tau = \frac{1}{\omega} \arctan \left\{ \frac{\text{Im} \left[\frac{(Y_{21} - Y_{12})}{1 + j\omega R_{gsi} C_{gsi}} \right]}{R_e \left[\frac{(Y_{21} - Y_{12})}{1 + j\omega R_{gsi} C_{gsi}} \right]} \right\} \quad (2.30)$$

2.9 Paramètres de dispersion S d'un transistor

Les transistors sont couramment visualisés comme des quadripôles comportant un port d'entrée et un port de sortie, où les courants i_i et les tensions v_i sont définis. La figure 2.8 illustre schématiquement un transistor MOSFET sous sa représentation quadripôle en source commune [15].

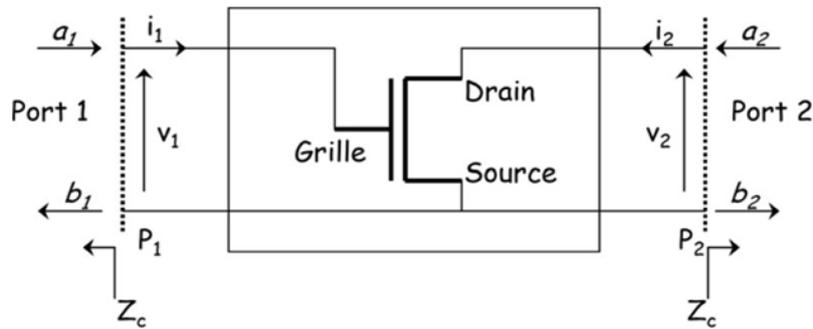


Figure 2.8 : Représentation d'un transistor en source commune, sous la forme d'un quadripôle [15]

Les paramètres S du quadripôle sont déterminés par des équations linéaires qui expriment les liens entre les ondes incidentes, réfléchies et transmises. Ils sont définis par [15] :

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 & (2.31) \\ b_2 = S_{21}a_1 + S_{22}a_2 & (2.32) \end{cases}$$

Ou sous forme matricielle :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = (S) \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (2.33)$$

Les 4 paramètres S_{ij} sont des grandeurs complexes.

La signification physique des paramètres S est comme suite :

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (2.34)$$

C'est le coefficient de réflexion à l'entrée, la sortie étant adaptée.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (2.35)$$

C'est le coefficient de transmission sortie \rightarrow entrée, l'entrée étant adaptée.

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (2.36)$$

C'est le coefficient de transmission entrée \rightarrow sortie, la sortie étant adaptée.

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (2.37)$$

2.10 Conclusion

Dans ce chapitre, nous nous sommes focalisés sur l'extraction des paramètres du circuit équivalent à petit signal, en mettant particulièrement l'accent sur la modélisation analytique qui requiert une caractérisation sur des dispositifs préexistants. Travailler avec ce type de modélisation se révèle à la fois précis et rapide.

Ensuite, nous avons présenté différentes méthodes d'extraction RF, telles que la polarisation à froid (cold Fet), Raskin, Lovelace et Bracal, ainsi que les paramètres S sur lesquels nous nous appuyons pour extraire les éléments des parties extrinsèques et intrinsèques du transistor, qui sont au cœur de notre projet. Nous avons également abordé l'étape de validation qui nous permet de confirmer la méthode suivie tout au long de la procédure d'extraction.

3.1 Introduction :

Ce dernier chapitre représentera une étape dédiée à mettre à l'épreuve et à confirmer la technique abordée depuis le commencement de ce travail. Nous présenterons les résultats et l'analyse et de la modélisation à petit signal du transistor MOS-SOI pour différentes longueurs de grille et différents points de polarisation, en utilisant l'approche suggérée.

Pour commencer, on doit premièrement choisir un schéma équivalent petit-signal qui reflète le sens physique des transistors MOS –SOI (voir chapitre 2), puis en exploitant les datas de mesure à froid ($V_{ds}= 0V$ et V_{gs} inférieur à la tension de seuil V_{th} pour extraire les paramètres extrinsèques (parasites). Les datas de mesures à un point de polarisation en saturation permettent d'extraire les paramètres intrinsèques après avoir retiré les valeurs des parasites.

Nous mettrons en œuvre la méthode d'extraction décrite dans le deuxième chapitre. Après avoir obtenu tous les paramètres intrinsèques et extrinsèques du circuit équivalent petit-signal. Ces paramètres seront visualisés sous forme graphique et calculés à l'aide de la technique proposée. Ensuite, nous vérifierons la validité de notre approche en comparant les résultats obtenus à partir des simulations avec les données mesurées . Cette validation sera effectuée en utilisant le logiciel de simulation ADS.

3.2 Les étapes d'extractions des éléments du schéma équivalent petit- signal

Selon l'organigramme présenté dans le chapitre II, l'extraction des composants du circuit électrique équivalent petit-signal passe par trois étapes principales. D'abord le choix du schéma électrique équivalent , puis on extrait les éléments extrinsèques lorsque le transistor MOS est éteint c'est-à-dire que ($V_{ds}= 0 V$ et $V_{gs} < V_{th}$). Enfin, on extrait les paramètres intrinsèques lorsque le transistor est actif et fonctionne en saturation. Cela simplifie le schéma et améliore la représentation du comportement réel du transistor.

3.2.1 Choix du schéma équivalent petit signal du transistor MOS avancés

Le choix du schéma équivalent petit-signal est selon le sens physique qui reflète le dispositif en question, notre schéma équivalent est représenté en chapitre 2 (figure 2.2).

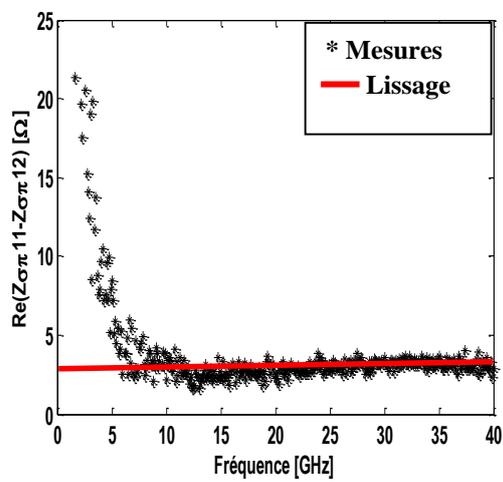
3.2.2 Extraction des paramètres extrinsèques du transistor MOS avancés

Cette étape nécessite des datas de mesures (paramètres-S) des transistors susmentionnées à

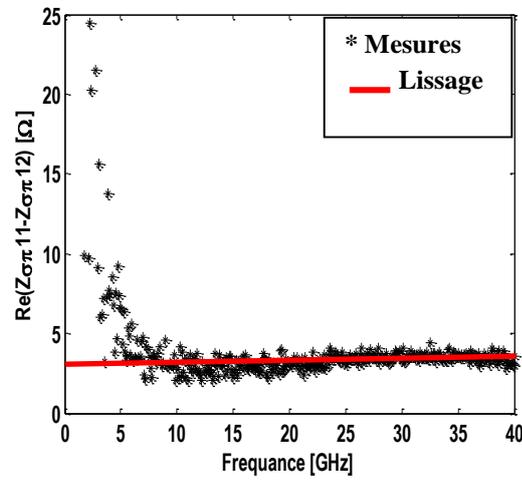
froid c'est-à-dire que ($V_{ds} = 0$ V et $V_{gs} < V_{th}$) pour réduire la complexité du circuit électrique équivalent petit-signal (voir chapitre 2). L'extraction de ces paramètres se divise en trois étapes et qui sont :

a-Extraction des résistances de grille

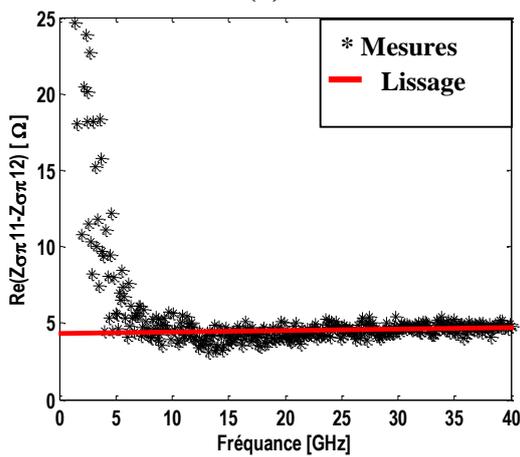
La résistance de grille est déterminée en utilisant la méthode de Lovelace décrite en chapitre 2 à froid ($V_{ds} = 0$ V et $V_{gs} = 0$ V) et à froid pincé ($V_{ds} = 0$ V et $V_{gs} = -2$ V) pour le transistor MOS-SOI avec différentes longueurs de grille (25nm ,30nm, 35nm, 45nm, 60nm, 90nm) respectivement. La résistance de grille est obtenue à partir d'une représentation de l'expression $[R_e(Z_{\sigma\pi 11}(\omega) - R_e(Z_{\sigma\pi 12}(\omega))]$ en fonction de ω (voir les détails en chapitre 2).



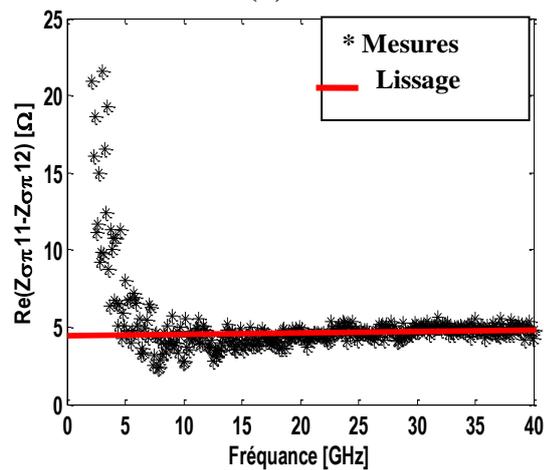
(a)



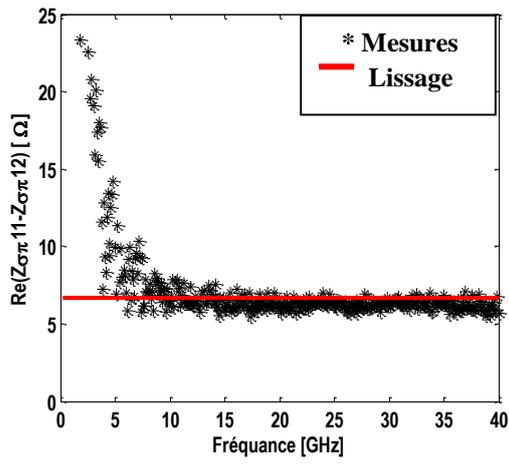
(b)



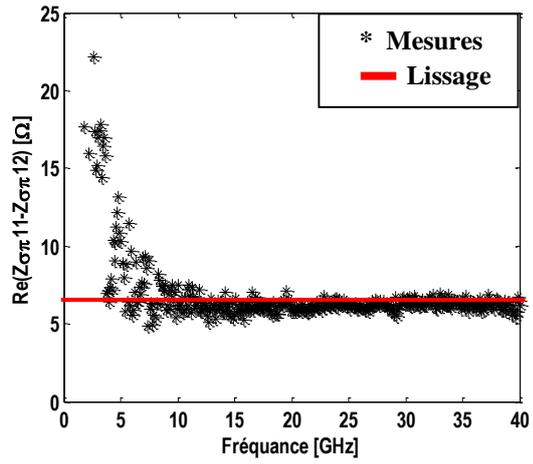
(a)



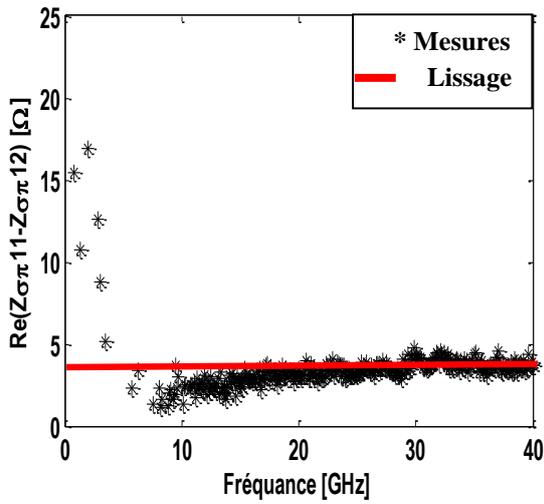
(b)



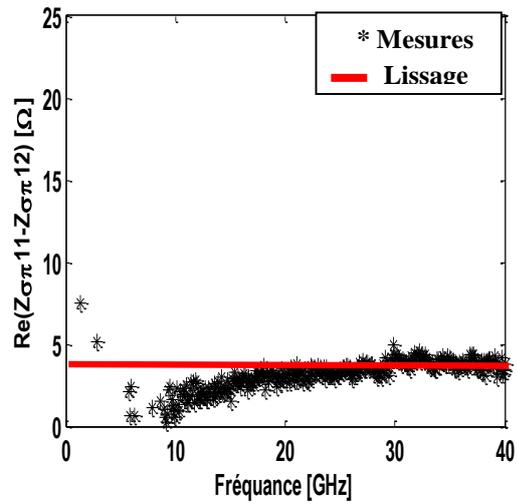
(a)



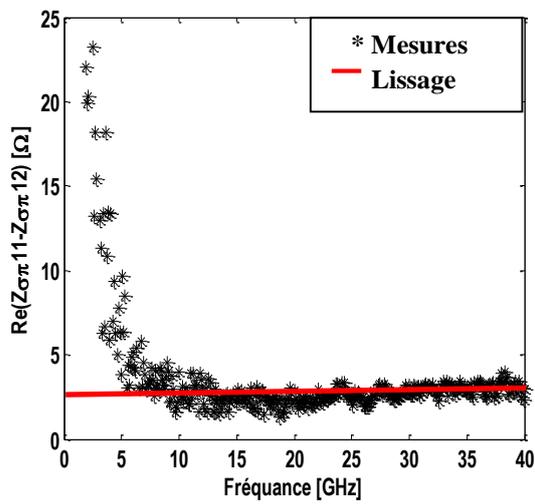
(b)



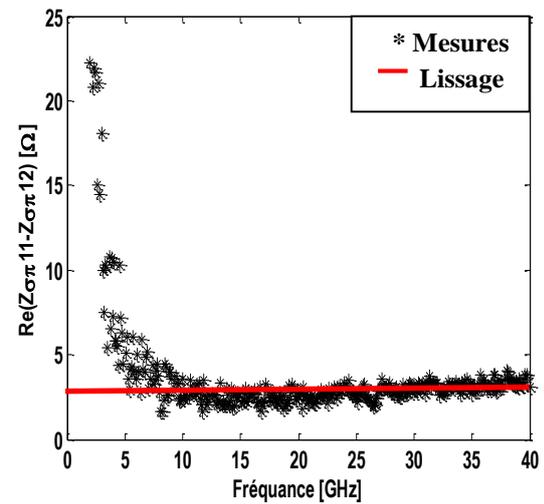
(a)



(b)



(a)



(b)

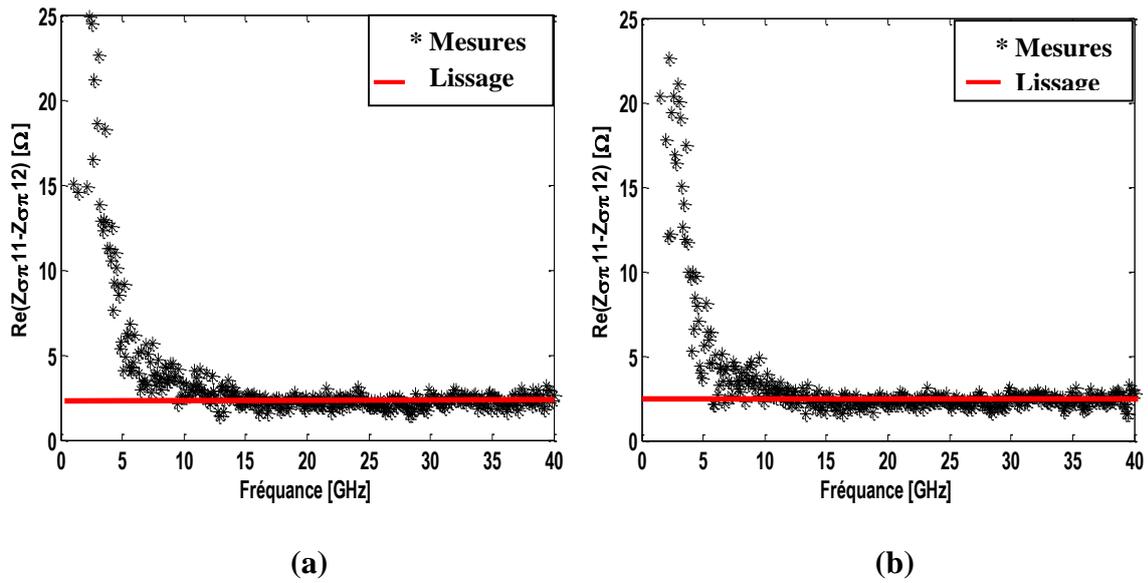
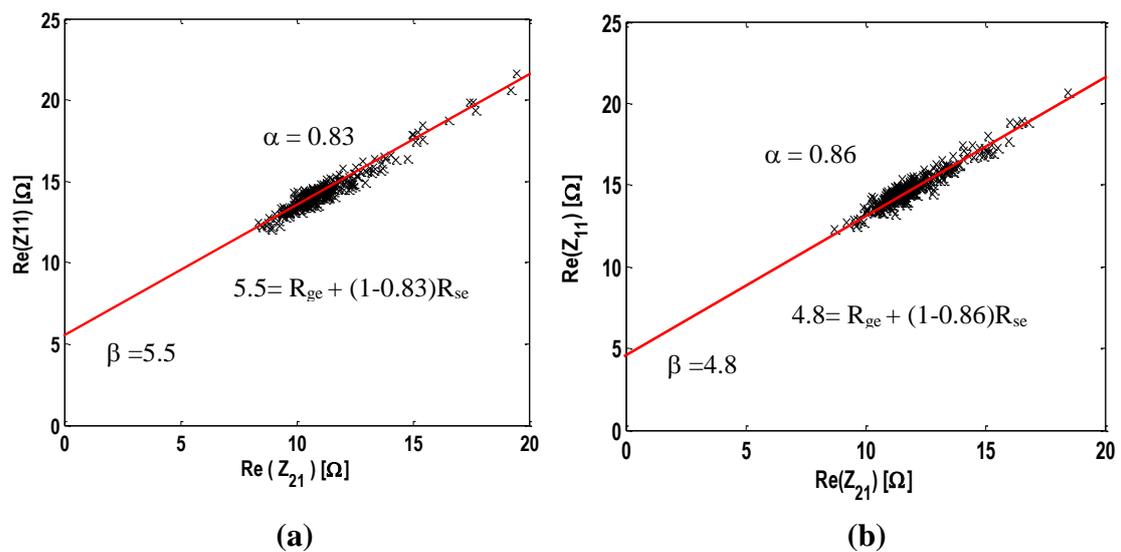


Figure 3.1 : Représentation de la résistance de grille en fonction de la fréquence du transistor MOS SOI avec différentes longueurs de grille L_g . (a) $V_{ds}=0$ V et $V_{gs}=0$ V, (b) $V_{ds}=0$ V et $V_{gs}=-2$ V.

Ces figures montrent que les courbes des résistances de grille restent presque stables à partir de 10 GHz, dans les deux cas à $V_{gs}=0$ et $V_{gs}=-2$, leurs valeurs approximativement entre 2.7Ω et 6.3Ω pour MOS avancés avec les différentes longueurs de la grille.

b-Extraction de résistance de source

La résistance de source R_{se} est extraite une fois que la résistance de grille est connue en utilisant l’approche de régression linéaire (Méthode de Raskin) décrit en détail dans le chapitre 2 aux conditions de polarisation nulle. La valeur de la résistance de source est déterminée à partir d’une représentation de la partie réelle de l’impédance Z_{11} en fonction de la partie réelle de l’impédance Z_{12} ou Z_{21} .



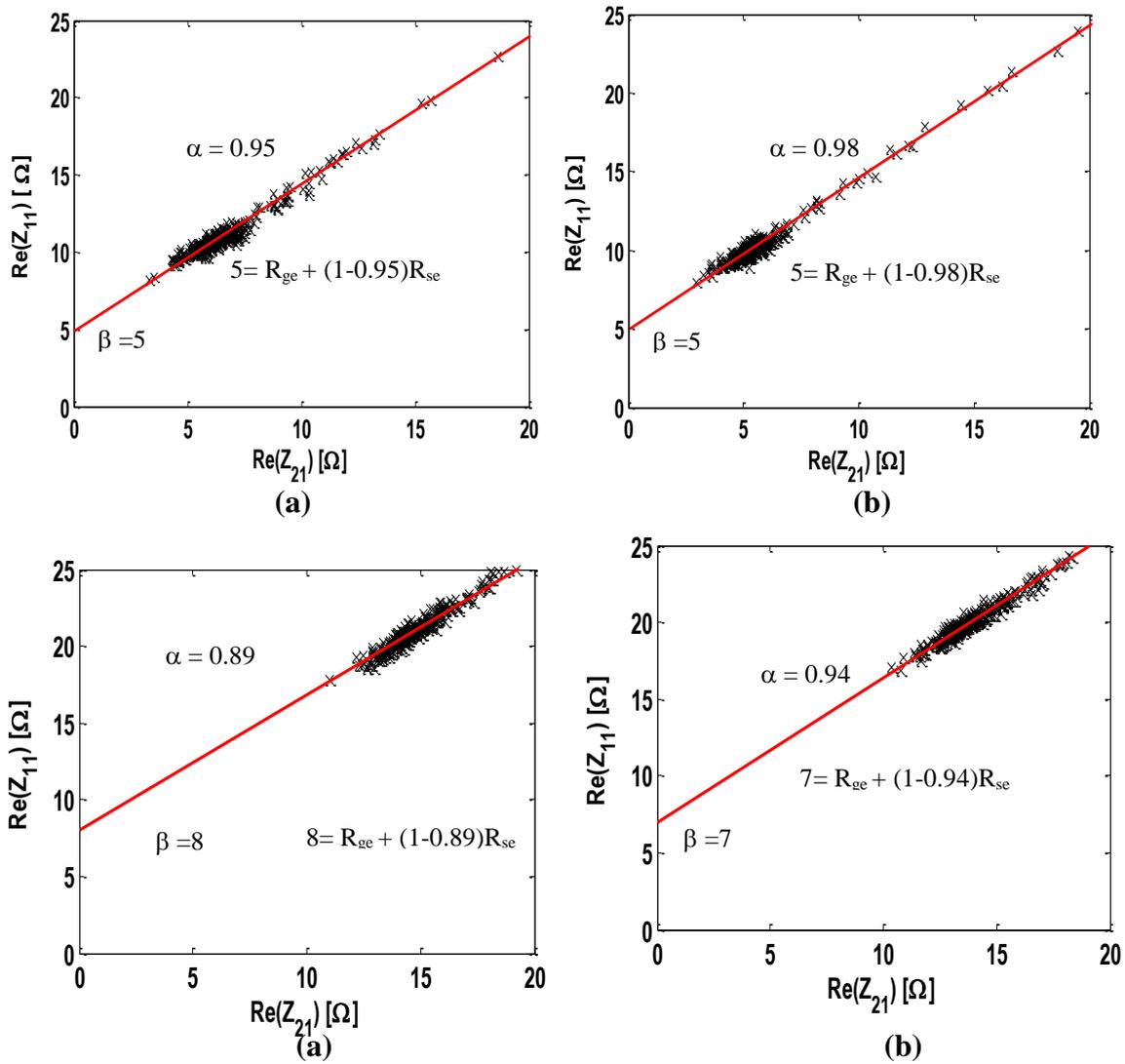


Figure 3.2: Représentation paramétrique de la résistance extrinsèque R_{se} dans la gamme de fréquence 0.04 - 40 GHz pour le MOS SOI. (a) $V_{ds} = 0$ V et $V_{gs} = 0$ V, (b) $V_{ds} = 0$ V et $V_{gs} = -2$ V.

L'équation de notre droite est la suivante :

$$\beta = R_{ge} + (1 - \alpha)R_{se} \quad (3.1)$$

α : Pente de la courbe.

β : Intersection avec l'axe des ordonnées

D'après cette équation, R_{ge} est connue, β et α on peut les déterminer, donc on peut facilement obtenir la valeur de la résistance de source R_{se} :

$$R_{se} = \frac{\beta - R_{ge}}{(1 - \alpha)} \quad (3.2)$$

b-Extraction de résistance de drain

La résistance de source est extraite en utilisant l'approche de régression linéaire (Méthode de Raskin) décrite en détail dans le chapitre 2 aux conditions de polarisation nulle. La valeur de la résistance de drain est déterminée à partir d'une représentation de la partie réelle de l'impédance Z_{22} en fonction de la partie réelle de l'impédance Z_{12} .

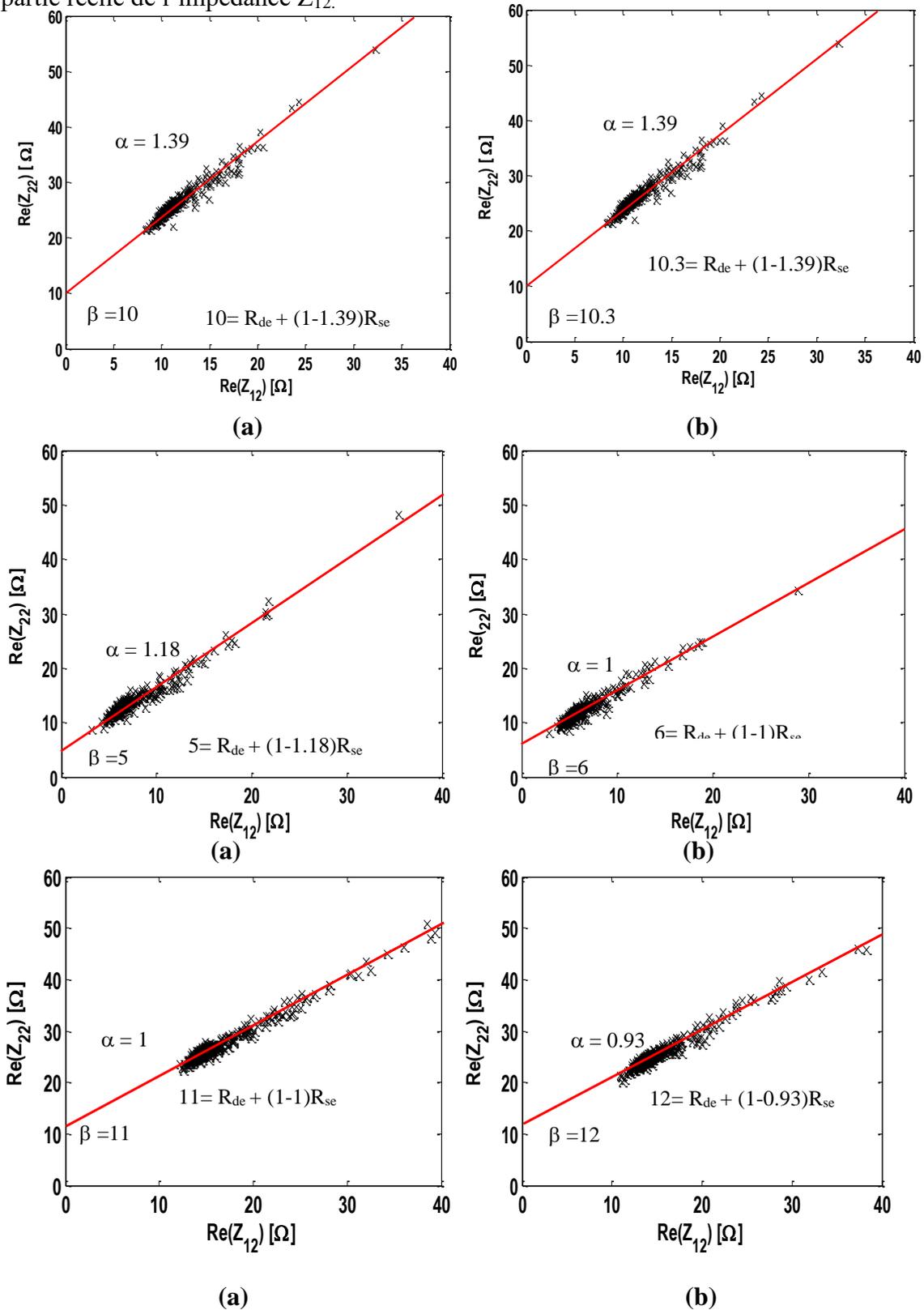


Figure 3.3: Représentation paramétrique de la résistance extrinsèque R_{de} dans la gamme de fréquence 0.04 - 40 GHz pour le MOS SOI (a) $V_{ds} = 0$ V et $V_{gs} = 0$ V, (b) $V_{ds} = 0$ V et $V_{gs} = -2$ V.

L'équation de la courbe d'après la méthode de Raskin chapitre 2 est :

$$\beta = R_{de} + (1 - \alpha)R_{se} \quad (3.3)$$

α : Pente de la courbe.

β : Intersection avec l'axe des ordonnées

D'après cette équation, R_{se} , β et α sont déterminés, donc on peut facilement obtenir la valeur de la résistance de drain R_{de} :

$$R_{de} = \beta - (1 - \alpha) R_{se} \quad (3.4)$$

c-Extraction de capacité extrinsèques

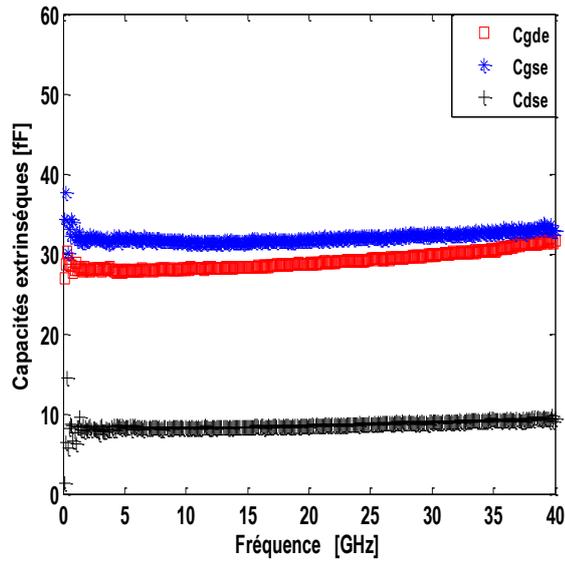
Les capacités extrinsèques font référence aux capacités parasites du transistor, telles que les capacités de chevauchement, de proximité et de bord. On peut les déterminer directement à partir de la partie imaginaire des paramètres- Y du circuit équivalent lorsque le transistor est en mode déplétion ($V_{ds} = V_{gs} = 0$ V) et en deep déplétion ($V_{ds} = 0$ et $V_{gs} = -2$ V), en utilisant les équations suivantes :

$$Im(Y_{11}) = j\omega(C_{gse} + C_{gde}) \quad (3.5)$$

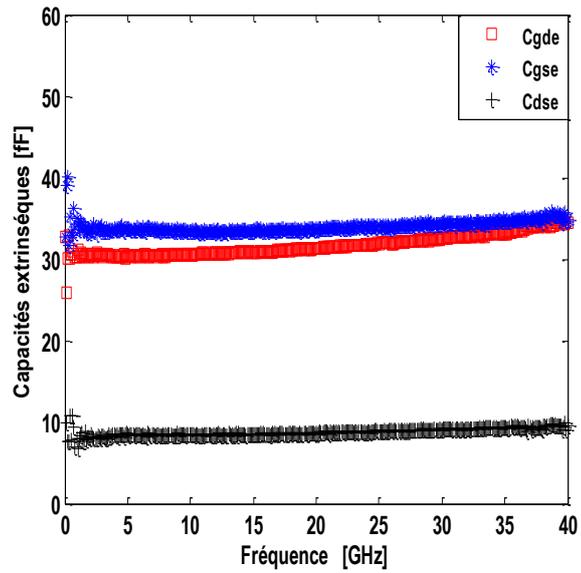
$$Im(Y_{12}) = Im(Y_{21}) = -j\omega(C_{gde}) \quad (3.6)$$

$$Im(Y_{22}) = j\omega(C_{dse} + C_{gde}) \quad (3.7)$$

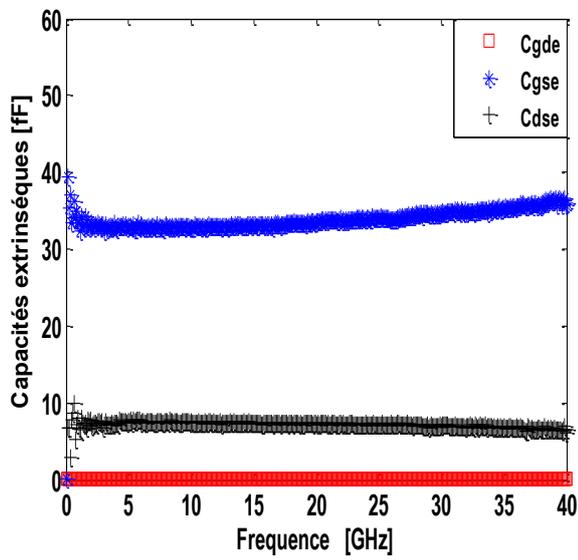
À partir de l'équation (3.6), la capacité extrinsèque C_{gde} peut être déterminée à partir de la partie imaginaire de $(-Y_{12}/\omega)$. C_{gse} et C_{dse} peuvent être déterminés à partir des équations (3.5) et (3.7) en fonction de la fréquence respectivement. Les figures ci-dessous représentent les données tracées des capacités mentionnées en fonction de la fréquence. Il est à noter que les valeurs des capacités sont presque constantes pour une large gamme de fréquences allant jusqu'à 40 GHz



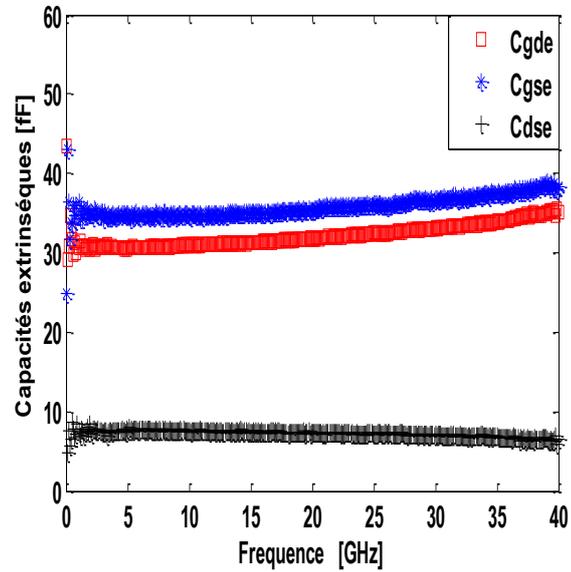
(a)



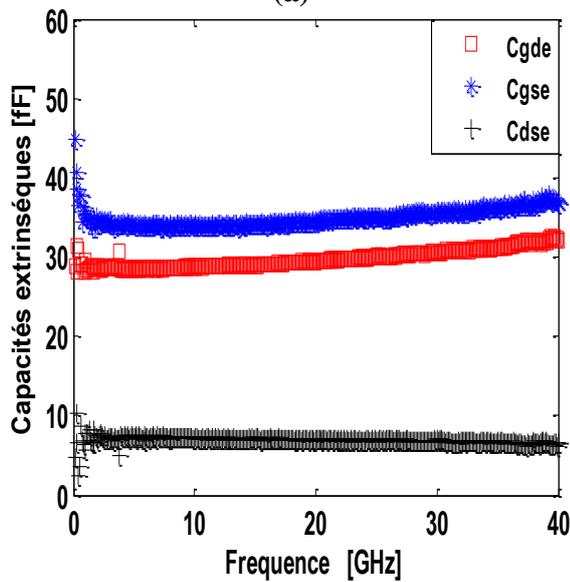
(b)



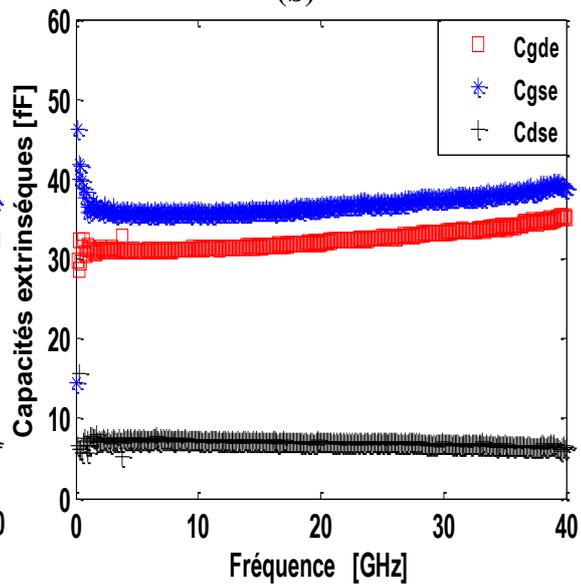
(a)



(b)



(a)



(b)

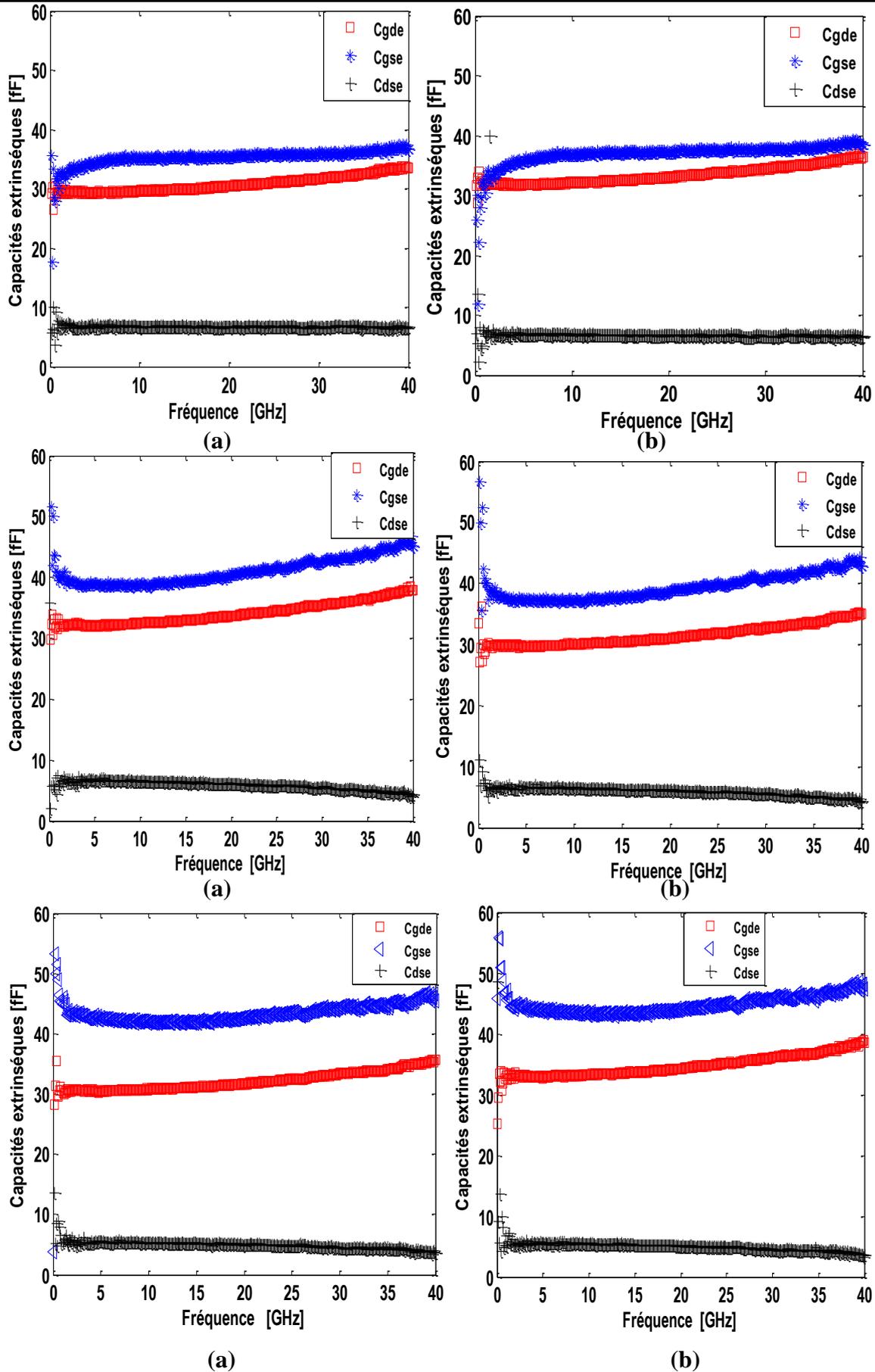


Figure 3.4: Représentation des capacités extrinsèques extraites en fonction de la fréquence du transistor MOS SOI. (a) $V_{ds} = 0$ V et $V_{gs} = 0$ V, (b) $V_{ds} = 0$ V et $V_{gs} = -2$ V.

Le tableau 3.1 résume les valeurs obtenues des paramètres parasites du circuit équivalent à petit signal de MOS-SOI avec une largeur de grille $W = 60 \times 2 \mu\text{m}$ et différentes longueurs de grille, à savoir $L_g = 25\text{nm}$, $L_g = 30\text{nm}$, $L_g = 35\text{nm}$, $L_g = 45\text{nm}$, $L_g = 60\text{nm}$, $L_g = 90\text{nm}$

L_g en « nm »	$V_{ds} = 0\text{V}$	$R_{ge} (\Omega)$	$R_{se} (\Omega)$	$R_{de} (\Omega)$	$C_{gse} (\text{fF})$	$C_{gde} (\text{fF})$	$C_{dse} (\text{fF})$
$L_g = 25$	$V_{gs} = -2\text{V}$	3.35	12.65	14.93	34.3	28.6	8.75
	$V_{gs} = 0\text{V}$	3.54	9	13.51	35.11	30.15	7.59
$L_g = 30$	$V_{gs} = -2\text{V}$	4.97	0.6	5.11	33.49	0.1	7.84
	$V_{gs} = 0\text{V}$	4.81	9.5	6	35.96	31.79	7.54
$L_g = 35$	$V_{gs} = -2\text{V}$	6.26	15.9	11	35.32	28.88	7.66
	$V_{gs} = 0\text{V}$	6.17	13.83	11.04	36.76	31.3	7.55
$L_g = 45$	$V_{gs} = -2\text{V}$	3.76	11.73	10.93	33.96	30.11	7.62
	$V_{gs} = 0\text{V}$	3.77	8.43	6.84	36.19	32.11	7
$L_g = 60$	$V_{gs} = -2\text{V}$	3.21	24.2	6.52	37.9	29.48	6.46
	$V_{gs} = 0\text{V}$	3.64	16.4	5.85	38.84	32.24	6.4
$L_g = 90$	$V_{gs} = -2\text{V}$	2.65	11.5	5.43	42.95	30.63	5.74
	$V_{gs} = 0\text{V}$	2.63	7.88	5.85	44.01	33.72	5.84

Tableau 3.1: les valeurs des paramètres extrinsèques extraits du schéma équivalent pour le MOS SOI avec différentes longueurs de grille à froid et à froid pincé.

3.2.3 Extraction des paramètres intrinsèque du transistor MOS-SOI

Les paramètres intrinsèques représentent les caractéristiques fondamentales de transistor qui définissent son comportement et ses performances. On les extrait une fois que les résistances et les capacités extrinsèque ont été retirées par une opération de l'épluchage (De-embedding).

Les paramètres intrinsèques sont issus à partir de la matrice intrinsèque $[Y_{int}]$ tiré du schéma équivalent petit signal représenté en chapitres 2.

$$[Y_{int}] = \begin{bmatrix} j\omega \left[\frac{C_{gsi}}{1+j\omega R_{gsi} C_{gsi}} \right] & -j\omega [C_{gdi}] \\ \frac{g_{mie}-j\omega\tau}{1+j\omega R_{gsi} C_{gsi}} - j\omega (C_{gsi}) & g_{di} + j\omega [C_{dsi} + C_{gdi}] \end{bmatrix} \quad (3.8)$$

Les expressions des paramètres intrinsèques sont données par les équations suivantes :

$$R_{gsi} = \text{Re} \left(\frac{1}{Y_{11int} + Y_{12int}} \right) \quad (3.9)$$

$$C_{gsi} = - \left(\frac{1}{\omega \text{Im} \left(\frac{1}{Y_{11int} + Y_{12int}} \right)} \right) \quad (3.10)$$

$$C_{gdi} = - \left(\frac{1}{\omega \text{Im} \left(\frac{1}{Y_{12int}} \right)} \right) \quad (3.11)$$

$$g_{di} = \text{Re}(Y_{22int}) \quad (3.12)$$

$$g_{mi} = - \frac{|Y_{21int} - Y_{12int}|}{Y_{11int} + Y_{12int}} \left| \frac{1}{\text{Im} \left(\frac{1}{Y_{11int} + Y_{12int}} \right)} \right| \quad (3.13)$$

$$C_{dsi} = \frac{\text{Im}(Y_{22} + Y_{12})}{\omega} \quad (3.14)$$

a-Extraction des conductances g_{mi} et g_{di}

La conductance g_{di} et la transconductance g_{mi} sont obtenues on utilisant les deux équations (3.12) et (3.13) respectivement, Les figures ci-dessous représentent leurs valeurs en fonction de la fréquence jusqu'à 40 GHz à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V du transistor MOS SOI avec différentes longueurs de grille

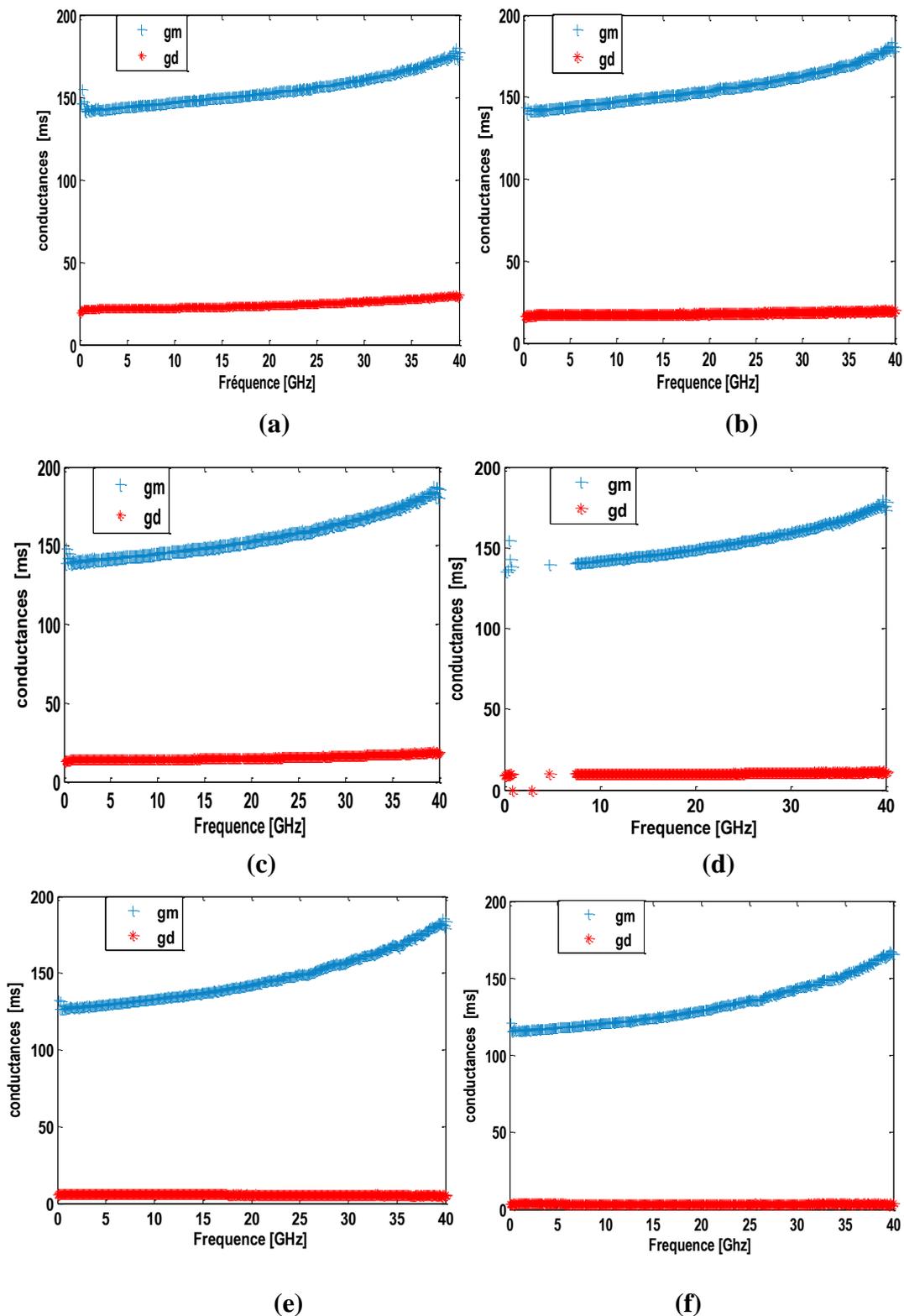
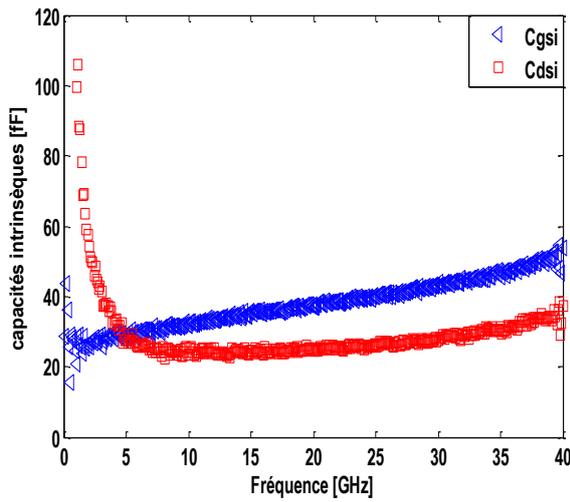


Figure 3.5 : Représentation des conductances en fonction de la fréquence du transistor MOS SOI à $V_{gs} = 1$ V et $V_{gs} = 0.95$ V. (a) $L_g = 25$ nm, (b) $L_g = 30$ nm, (c) $L_g = 35$ nm, (d) $L_g = 45$ nm, (e) $L_g = 60$ nm, (f) $L_g = 90$ nm.

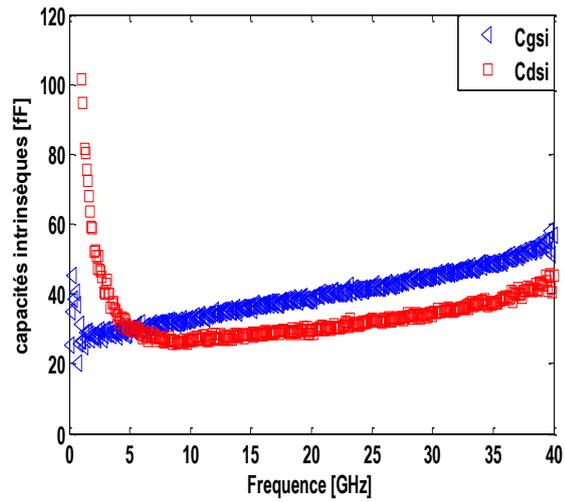
On remarque que les conductances g_m et g_d présentés ci-dessus avec différentes longueurs de grille varient peu en fonction de la fréquence.

b- Extraction des capacités intrinsèques

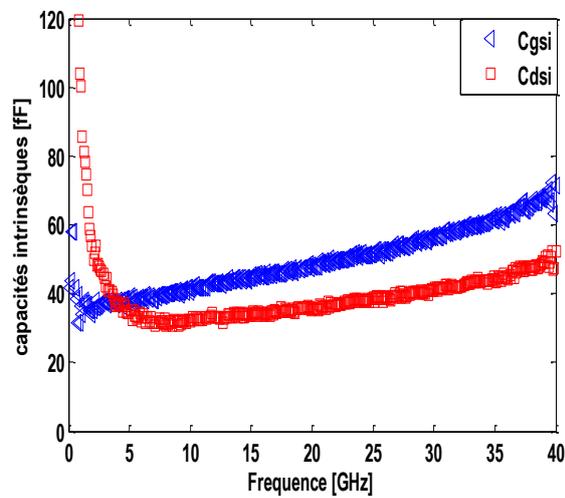
Les capacités intrinsèques C_{gsi} et C_{dsi} sont extraites respectivement à partir des équations (3.10) et (3.14) respectivement. Les figures ci-dessous représentent ces capacités en fonction de la fréquence jusqu'à 40 GHz à $V_{ds}=1.V$ et $V_{gs}=0.95 V$ du transistor MOS SOI avec des longueurs de grille (25nm, 30nm, 35nm, 45nm, 60nm, 90nm) respectivement.



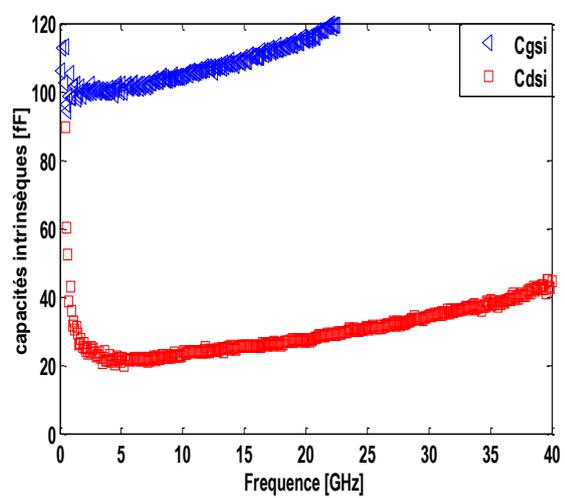
(a)



(b)



(b)



(d)

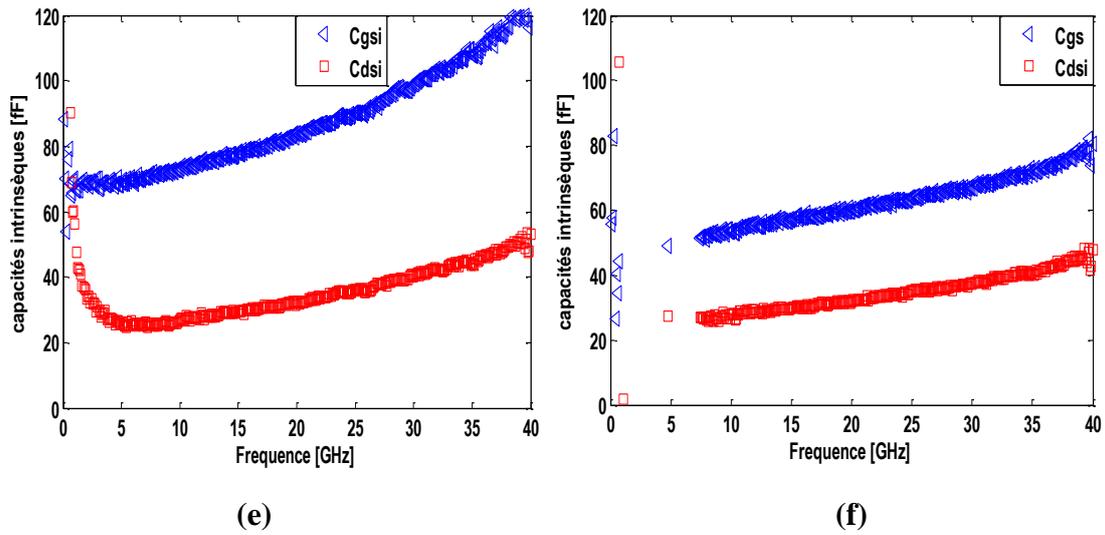


Figure 3.6: Représentation des capacités intrinsèques en fonction de la fréquence du transistor MOS SOI à $V_{ds} = 1V$ et $V_{gs} = 0.95 V$. (a) $L_g=25$ nm, (b) $L_g = 30$ nm,(c) $L_g = 35$ nm,(d) $L_g = 45$ nm, (e) $L_g = 60$ nm, (f) $L_g = 90$ nm.

Les schémas ci-dessus illustrent les variations des capacités intrinsèques en fonction de la fréquence. la courbe représentant la capacité C_{dsi} diminue fortement dans la plage de fréquence de 0 à 15 GHz. En revanche, la capacité C_{gsi} augmente de façon régulière sur cette plage, proportionnellement à la longueur de la grille. Les résultats des paramètres intrinsèques sont résumés dans le tableau suivant :

L_g (nm)	$V_{ds}= 1V$	g_{mi} (mS)	g_{di} (mS)	C_{gsi} (fF)	C_{dsi} (fF)
$L_g=25$	$V_{gs}=0.95V$	141.5	21	24.53	26.13
$L_g =30$	$V_{gs}=0.95 V$	143	16.74	26.71	27.47
$L_g=35$	$V_{gs}=0.95 V$	141.4	13.25	36.49	32.79
$L_g=45$	$V_{gs}=0.95 V$	140.2	10	51.51	27.19
$L_g =60$	$V_{gs}=0.95 V$	126.6	5.81	69.06	27
$L_g =90$	$V_{gs}=0.95 V$	115.8	3.72	98.41	23.61

Tableau 3. 2: Les valeurs des paramètres intrinsèques du schéma équivalent pour le MOS SOI avec différentes longueurs de grille en saturation.

3.3 Validation de la technique proposée

La validation est la dernière étape de processus de modélisation, cette dernière se fait à partir des résultats obtenus sur les paramètres du circuit équivalent petit signal, ces valeurs seront schématisées sur un logiciel de simulation ADS, après avoir implémenté un circuit électrique équivalent basé sur les valeurs des paramètres extraits Figure (3.7), dans la même fenêtre du logiciel ADS on insère les datas de mesure dans une boîte noire (transistor)(S2P) montré en Figure (3.8). Ensuite, on fait la simulation (Run) des deux circuits aux même temps et on compare les résultats des deux circuits (simulation, Mesure)

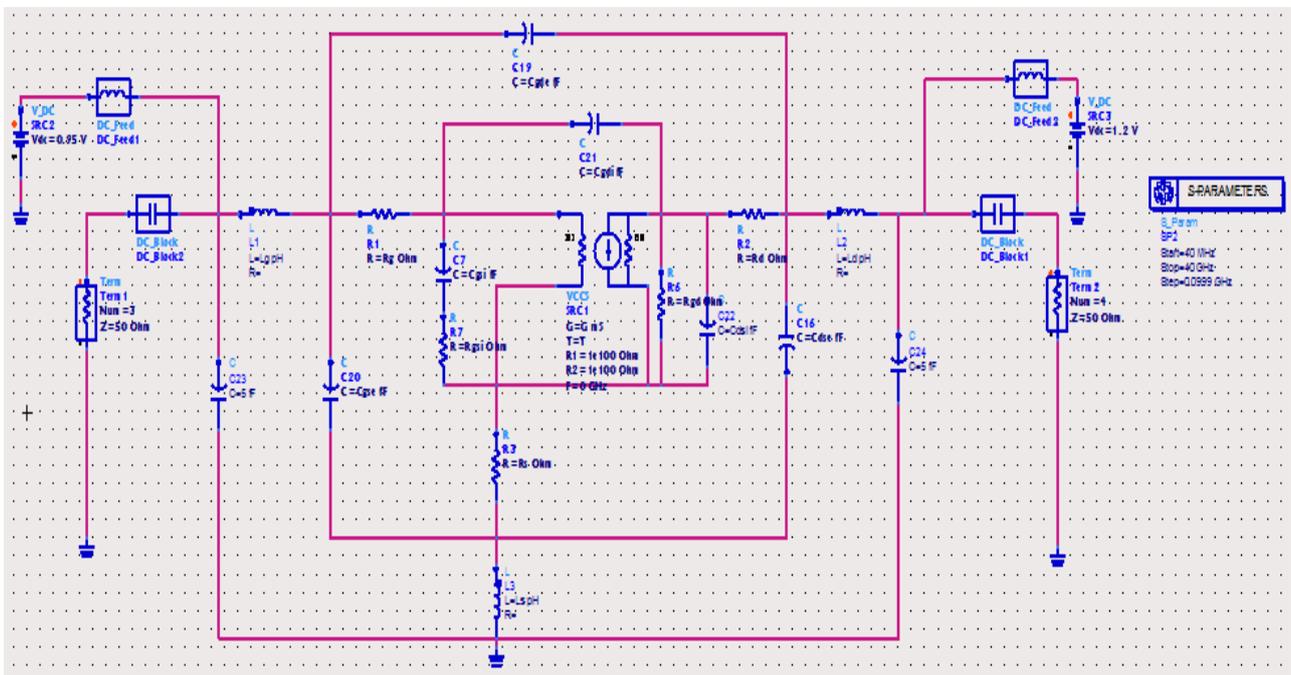


Figure 3.7: Circuit électrique équivalent petit-signal du transistor MOS avancés sous ADS.

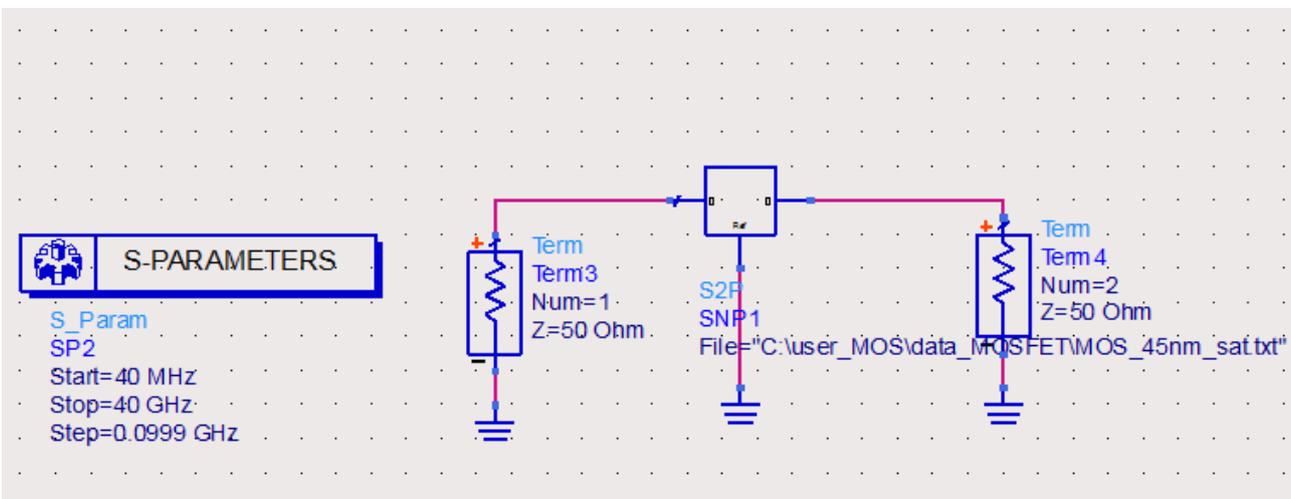


Figure 3.8: Transistor S2P sous ADS

Les figures (3.9), montrent une excellente convergence entre les paramètres-S mesurés et les paramètres-S simulés basés sur les paramètres extraits du circuit équivalent petit-signal du transistor MOS avancé avec des longueurs de grille $L_g = 30$ nm, $L_g = 45$ nm, $L_g = 60$ et $L_g = 90$ nm respectivement sur une large gamme de fréquences à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V. Le bon accord obtenu montre la précision de la technique d'extraction proposée.

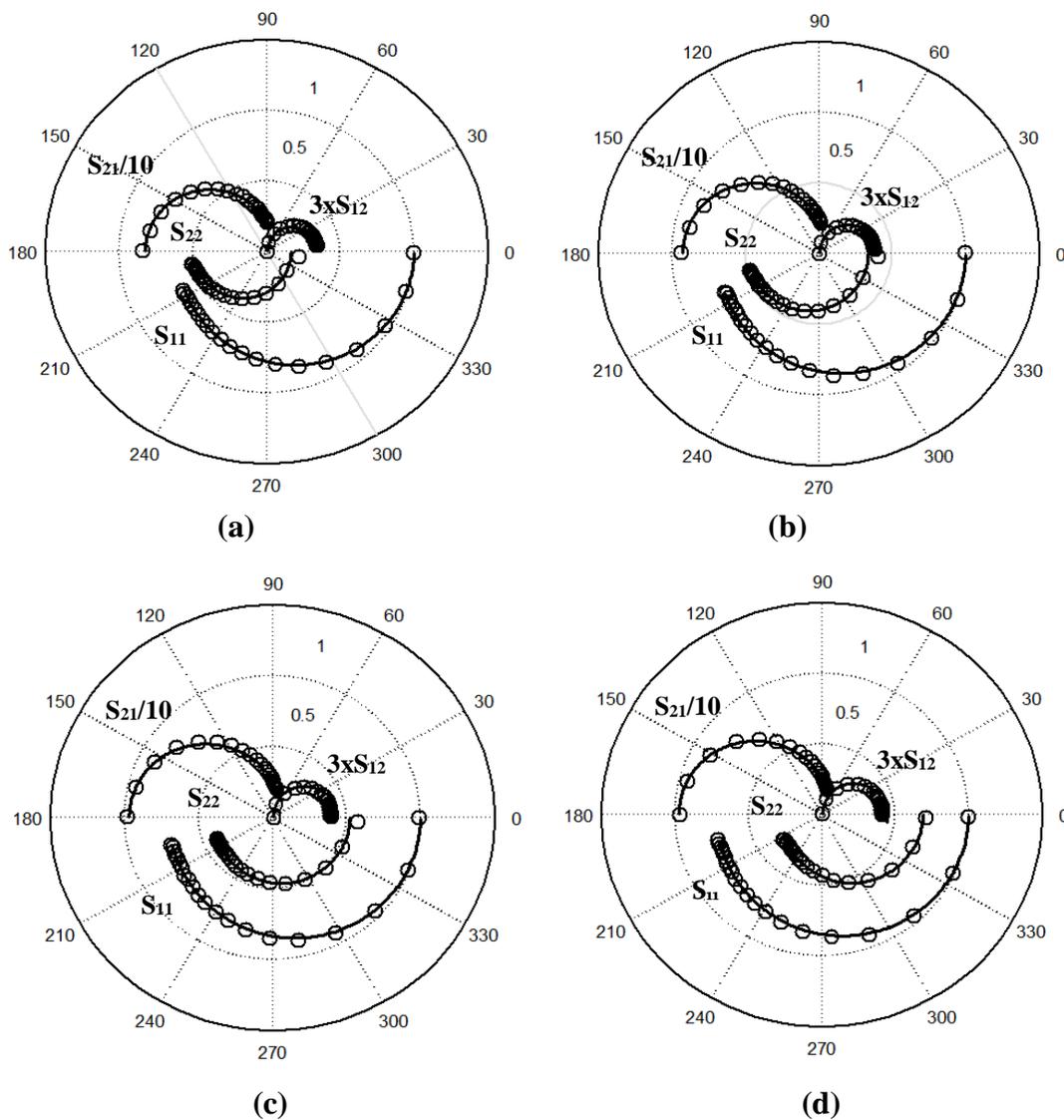


Figure 3.9: Comparaison des paramètres S mesurés (o) avec simulation (ligne) à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V dans la gamme de fréquence 0.04 à 40 GHz, (a) MOS avec $L_g = 30$ nm, (b) MOS avec $L_g = 45$ nm, (c) MOS avec $L_g = 60$ nm, (d) MOS avec $L_g = 90$ nm.

3.4 Conclusion

Ce chapitre expose les résultats d'extraction des éléments extrinsèques et intrinsèques du transistor MOS avancé avec différentes longueurs de grille. Les résultats obtenus sont présentés sous forme de figures plus des tableaux récapitulatifs avec les différentes polarisations à froid, à froid pincé et en saturation. Cette technique est vérifiée par l'accord entre les paramètres S mesurés et simulés basé sur les paramètres extraits sur une large gamme de fréquence jusqu'à 40 GHz.

Un bon accord est obtenu entre les mesures et les résultats de simulation. Ceci valide donc le modèle et la technique d'extraction proposée.

Conclusion générale

Le progrès enregistré dans les transistors MOSFET dans le domaine haut fréquence contribue directement dans l'évolution de plusieurs domaines à savoir les réseaux cellulaires en télécommunication, les radars, ...etc.

Ce mémoire de fin d'études concentre sur la modélisation petit signal c'est-à-dire l'extraction des valeurs des paramètres extrinsèques et intrinsèques d'un circuit électrique équivalent du transistor MOS avancé. L'objectif consiste à mettre en œuvre les méthodes d'extraction actuelles sur des nouvelles conceptions des transistors MOSFET.

Tout d'abord nous avons décrit des transistors MOSFET en concentrant sur les transistors MOS sur substrat SOI qui présente une succession du transistor MOSFET classique.

Ensuite, on a exposé la théorie de la modélisation petit signal et analytique directe des transistors MOSFET, en définissant les éléments d'un circuit équivalent petit-signal. Ces derniers constituent le principe d'une modélisation analytique directe.

Enfin, la dernière partie a été dédiée aux résultats de modélisation et de simulation issue des techniques détaillées en chapitre 2. Une comparaison entre mesure et simulation a été faite et nous avons eu une très bonne concordance et qui reflète la précision de la procédure d'extraction suivie.

Références bibliographiques

- [1] : M. TANG, « Études et Modélisation Compacte du Transistor FinFET », thèse de Doctorat de l'université de Strasbourg, sciences pour l'ingénieur, microélectronique, décembre 2009.
- [2] : International Technologicalroadmap of semiconductors'' section Front and Process, ITRS 2005.
- [3] : B. Diagne, « Etude et modélisation d'un transistor MOS SOI double grille dédié à la conception », thèse de doctorat, École Doctorale science pour l'Ingénieure, université Louis Pasteur Strasbourg, 2007.
- [4] : M. Trabelsi, « Caractérisation des transistors à nano cristaux de silicium et des transistors SON par les techniques de bruit basse fréquence et de bruit télégraphique » .Thèse de doctorat, institut national des sciences appliquées de Lyon, 2009.
- [5] : A. Essadate AOUF, «Modélisation et simulation du Nano-transistor de puissance», mémoire de MAGISTER EN MICROELECTRONIQUE, université de-Batna-, 2009.
- [6] : D. Kicha, A. ZEBILA, «étude des performances des FD-SOI MOSFET pour différentes fonctions de travail des grilles métalliques », mémoire de master en électronique, Université Mohamed Seddik Benyahia -Jijel-, 2021.
- [7] : A. Benmeriouma, A. Mimeche, « Etude de l'impact des paramètres structuraux sur les caractéristiques électriques d'un MOSFET-SOI », mémoire de master en électronique, Université Mohamed SeddikBenyahia -Jijel-, 2019.
- [8] : Liu, Xiaoyan. "Design and Analysis of High Voltage LDMOS and Super Junction MOSFETs." PhD diss. The University of Hong Kong, 2015.
- [9] : F. Kertou, « Etude et modélisation d'un transistor MOSFET à double-grille symétrique», Mémoire du diplôme de magister, Université Des Sciences Et De La Technologie D'Oran Mohamed Boudiaf, 2012.
- [10] : C. Pavageau, « Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques». Micro nanotechnologies/Microélectronique, Université des Sciences et Technologie de Lille - Lille I, 2005.
- [11] : S. Abdelhalim « Etude du Bruit dans les transistors MOS/Si Massif et caractérisation du bruit dans les transistors MOS/SOI Submicroniques profonds », Mémoire du diplôme de magister en Microélectronique, Université Saad Dahlaab de Blida, 2005.
- [12] : D. Maafri, « Caractérisation et modélisation large bande des transistors à effet de champ», thèse de doctorat, Université Sciences Et Technologie Houari Boumediene Faculté D'électronique Et Informatique, 2017.

- [13] : "Analytical Modeling of MOSFETs" de Mohammad S. El-Genk, publié dans le livre "Advances in Electronics and Electron Physics, Volume 81", pages 1-83, Academic Press, 1991.
- [14] : W. Nasri, «Extraction DC des Paramètres Extrinsicques des Transistors MOS Avancés», mémoire de master en électronique, Université de Bejaia 2020.
- [15] : M. Tamoum. « Caractérisation Fine et Modélisation Non-Linéaire des Transistors MOSFET », thèse de doctorat, Université Ferhat Abbas Sétif, 2013.
- [16] : Alessandro Cidronali, Giovanni Collodi. 1999. « A new approach to FET model scaling and MMIC design based on Electromagnetic Analysis », IEEE Transactions on microwave theory and techniques, vol. 47, no. 6, pp 1256 – 1260.
- [17] : J. C. Tinoco, J. P. Raskin, "Advanced RF MOSFET's for Microwave and Millimeter Wave Applications: RF Characterization Issues", Microwave and Millimeter Wave Technologies from Photonic Bandgap Devices to Antenna and Applications, Igor Minin (Editor), pp. 953-978, InTech, 2010.
- [18] : A. Bracale, V. Ferlet, N. Fel, D. Pasquet, J. L. Gautier, J. L. Pelloie, J. PONCHARA «A new approach for SOI devices small-signal parameters extraction », Analog Integrated Circuits and Signal Processing, pp. 157-168, 2000.
- [19] : D. Lovelace, J. Costa, N. Camilleri, "Extracting small-signal model parameters of Silicon MOSFET transistors ", IEEE MTT-S Int. Microwave Symp, vol. 2, pp. 865-868, 1994.

Résumé

Le transistor à effet de champs, depuis son invention en 1937, se dresse comme l'une des inventions les plus ingénieuses de notre ère moderne. Ses capacités en constante évolution ont ouvert la porte à des avancées exceptionnelles, donnant naissance à des applications RF hautement performantes dans la technologie électronique. Pour faire progresser cette invention, il est essentielle de la modéliser et de la concevoir.

Notre travail consiste à présenter une perspective pour la modélisation des transistors MOS SOI avancés. Cela implique l'extraction de multiples paramètres d'un schéma électrique équivalent, en utilisant des méthodes d'extraction avancées. De plus, ces données nous ont permis de calculer les fréquences de transition et d'évaluer le facteur de performance RF (FoM), un élément crucial dans l'évolution de la technologie MOSFET.

Notre travail a été réalisé en collaboration avec l'équipe ARFIC du CDTA.

Mots clés : transistor MOSFET, MOS SOI avancé, Modélisation, Méthodes d'extraction, radiofréquence.

Abstract

"The field-effect transistor, since its invention in 1937, stands as one of the most ingenious inventions of our modern era. Its continuously evolving capabilities have opened the door to exceptional advancements, giving rise to highly performing RF applications in electronic technology. To advance this invention, it is essential to model and design it.

Our work involves providing a perspective for the advanced modeling of SOI MOS transistors. This entails extracting multiple parameters from an equivalent electrical circuit using advanced extraction methods. Furthermore, these data allowed us to calculate transition frequencies and evaluate the RF performance factor (FoM), a crucial element in the evolution of MOSFET technology.

Our work was conducted in collaboration with the ARFIC team at CDTA.

Keywords: MOSFET transistor, advanced SOI MOS, Modeling, Extraction methods, radiofrequency.